Helgen

Ingeniería que produce, mantenimiento que protege

EinarBoard — Informe Técnico de Ingeniería

PCB V3 (EinarBoard 1.0) · PCB V4 (EinarBoard 2.0) · Firmware Blackpill v2.x/v3.x

Project Drogheda

Fleet RTK GPS — Hutchison Ports (ICAVE · TIMSA · EIT · LCT)

Código	`2026-08-07_Drogheda_EinarBoard-V3-V4_Informe-Tecnico_v1.4`
Proyecto	Drogheda (GPS RTK) — HBOX · Hutchison Ports (ICAVE / TIMSA / EIT / LCT)
Alcance	Hardware V3 `hbox-watchdog-v3-PROD` · V4 `hbox-watchdog-v4` · FW `v2.3/v3.0`
Audiencia	Interna — ingeniería Helgen (franqueza total: erratas e incidentes incluidos)
Autor	Dr. Leopoldo Rodríguez Salazar — CTO/CSO, arquitecto principal HW/SW
Fecha	7 de agosto de 2026
Estado	V3 en banco/piloto con erratas documentadas · V4 paquete de fabricación liberado (JLCPCB)

Control del documento

Rev	Fecha	Cambio
1.0	2026-08-07	Emisión inicial. Consolida el estado de ambas tarjetas y del firmware al 7 de agosto de 2026: **V3** tal como se fabricó (rev 1.1c, JLCPCB) con sus tres erratas de campo; **V4** con paquete de producción liberado (gerbers + BOM + CPL, orden Y5); firmware v2.3 (flota) y v3.0 (producción, pendiente de banco).
1.1	2026-08-08	**Nueva §4 — módulo EPCT** (*EinarBoard Position, Communications & Telemetry*): background del protocolo NMEA 0183 y sus compañeros (UBX/RTCM3/NTRIP), anatomía palabra-por-palabra (GGA, palabras UBX de cadencia, `$PHLG` con tabla decodificadora y snippet de referencia para el backend), camino eléctrico de bytes al módem 4G en V3/V4 con tabla de verdad de K1, y la **decisión abierta** de la palabra de telemetría *over-the-air* con matriz de opciones. Diagrama de §3.3 rediseñado (rutas codificadas por color, detalle de contactos de K1, leyenda).
1.2	2026-08-08	**Decisión registrada**: la opción A (`$PHLG` íntegra, en banda por Modo B) es la **palabra canónica de telemetría** — §4.7 pasa de ABIERTA a DECIDIDA; nueva §4.8 con el plan de implementación por fases para el software de V3 y V4 (servidor-primero → F4 → relevo en banco → piloto → V4), respaldado por el brief de ejecución `2026-08-08_…Firmware-v3.1_ModoB-PHLG_Design-Brief_v1.0.md`.
1.3	2026-08-08	Nuevo apéndice E: **conectores de arnés pin a pin** — para cada pin de cada JST/Phoenix/header, su net y **todos los designators conectados** (`REF.pad`, regenerado de los netlists) más el lado del arnés; V3 completo + deltas y conectores nuevos de V4 (P14/P15/P16/H4). Punteros desde §5.6 y la tabla de conectores de V4.
1.4	2026-08-10	Nueva §8.6 — **matriz de verdad de potencia** (5 V/IGN/v_{bat} → cadencia, stack, carga, SLEEP), tabla numérica del **medidor de 4 LEDs** (umbrales/histéresis por LED), diagnóstico de banco «LEDs apagados» (fw 2.3 sin medidor + paquete bajo 3.60 V), las **cuatro causas de «a veces no carga»** con su observable de telemetría, y registro de cambios del 2026-08-10: test build de banco (relevo `$PHLG` ON, curva de ventilador 27/30/27/45 °C) + ingesta `$PHLG`/`$PUBX,00` en el retranslator (+138, aditivo). Contexto de flota: SPS sin correcciones en 5/5 unidades; H0005/H0014 sin satélites.

Fuentes canónicas

Este informe se deriva de los artefactos verificables del repositorio y *no* sustituye a ninguno de ellos. Autoridad en caso de conflicto, en este orden: los archivos KiCad (`kicad/hbox-watchdog-v3-PROD.*` = registro *as-fabricated* congelado — **no editar**; `kicad/hbox-watchdog-v4.*` = proyecto vivo), las netlists exportadas de ellos (2026-08-07), `watchdog-electrical-design-state.md` (estado eléctrico canónico), `watchdog-production-schematic-delta.md` (spec de construcción, valores LTC4040 en §4), `2026-07-24_Drogheda_EinarBoard-1.1_Design-Brief_v1.0.md` (brief de **V4**; léase «1.1» como v4), el Engineering Manual v1.1 de EinarBoard 1.0, la auditoría pre-fab del 2026-07-06, y el repo de firmware `hbox-firmware` (`blackpillrtkcode_v2/` y `_v3/`, `CHANGELOG.md`, `docs/LOGGING-SPEC.md`, `tools/hostsim/`). Todas las tablas de pines de este documento fueron regeneradas el 2026-08-07 *directamente de los netlists de los `.kicad_pcb`* — no de documentación previa.

Índice general

1 Resumen ejecutivo **4**

2 Contexto del sistema y por qué existe esta tarjeta **5**
2.1 El producto HBOX y su despliegue . . . 5
2.2 La crisis de junio de 2026 (el origen del EinarBoard) . . . 5
2.3 Invariantes canónicos del proyecto . . . 6

3 Arquitectura eléctrica común (V3 y V4) **6**
3.1 Árbol de potencia . . . 6
3.2 Catálogo de bloques . . . 8
3.3 El stack de módulos y el flujo de datos (Modo B) . . . 8

4 El módulo EPCT — EinarBoard Position, Communications & Telemetry **10**
4.1 Definición, alcance y convenciones . . . 10
4.2 Background técnico — el protocolo NMEA 0183 . . . 10
4.3 La palabra de posición: GGA campo por campo . . . 11
4.4 Las palabras de control: UBX CFG-RATE (cadencia 1 Hz / 30 s) . . . 12
4.5 La palabra de telemetría `$PHLG` — referencia de decodificación . . . 12
4.6 Cómo recibe el módem 4G la palabra — V3 y V4 . . . 14
4.7 La palabra de telemetría *over-the-air*: DECIDIDA — opción A canónica . . . 15
4.8 Implementación de la palabra canónica en el software de V3 y V4 . . . 16

5 EinarBoard V3 — `hbox-watchdog-v3-PROD` (EinarBoard 1.0) **18**
5.1 Identidad y datos de fabricación . . . 18
5.2 Razonamiento de diseño: por qué una portadora con zócalos . . . 19
5.3 Bloque B en números — dimensionamiento LTC4040 (paquete 1S4P ∼12 Ah) . . . 20
5.4 Distribución de pines — zócalos Blackpill J1/J2 (netlist verificada) . . . 21
5.5 Zócalo del Pro (MOD1) y zócalo XBee (J7/J8) . . . 22
5.6 Conectores de arnés y puentes de soldadura . . . 23
5.7 Auditoría pre-fabricación (2026-07-06) — qué detuvo la orden y qué se verificó . . . 24
5.8 Esquemático y capas (V3) . . . 24

6 Retroalimentación de campo y erratas de V3 (registro franco) **24**
6.1 E-J1 — el zócalo J1 del Blackpill quedó espejado (2026-07-24, probado por netlist) . . . 25
6.2 E-CLR — corto destructivo por holgura interna de 24 V (unidad muerta en servicio, 2026-07-23) . . . 25
6.3 E-PFI — «hipo» del riel del módem en banco sin batería (2026-07-24, causa confirmada) . . . 26
6.4 Verdad del arnés 1.0 (supersede notas previas) y otras lecciones . . . 26

7 EinarBoard V4 — `hbox-watchdog-v4` (EinarBoard 2.0) **27**
7.1 Identidad, objetivos y decisiones bloqueadas . . . 27
7.2 La jugada arquitectónica clave (léase antes de tocar nada) . . . 28
7.3 Bloque M — serial de cliente (SC16IS752 + SP3485 + MAX3232) . . . 29
7.4 Bloque N — Ethernet (W5500 + MagJack) y su riel dedicado . . . 30
7.5 Bloque O — expansor de E/S e indicadores . . . 30
7.6 Correcciones heredadas de V3 incorporadas . . . 31
7.7 Cambio de detalle: divisor de ignición — y una observación abierta . . . 31
7.8 Distribución de pines V4 — solo los deltas contra V3 . . . 31
7.9 Conectores nuevos de V4 . . . 32
7.10 Cronología de ejecución del respin (evidencia git) . . . 32

8 Software del Blackpill — firmware `blackpillrtkcode` **33**
8.1 Doctrina de recuperación (comparte v2.x y v3.x — verificada por simulación) . . . 33
8.2 Historia de versiones . . . 34
8.3 v2.3 por dentro (la base común) . . . 35
8.4 La revisión v2.3-sobre-EinarBoard (2026-07-24): «seguro pero ciego» . . . 35
8.5 v3.0 — el firmware de producción de la flota EinarBoard . . . 36
8.6 Matriz de comportamiento de potencia y diagnóstico de banco (2026-08-10) . . . 37
8.7 Telemetría y logging (spec v2.1 + extensiones append-only) . . . 39
8.8 Red de regresión: `tools/hostsim` . . . 40
8.9 Hoja de ruta v3.1 / v3.2 (el software de la tarjeta V4) . . . 40

9 Trazabilidad pin a pin: hardware V3/V4 ↔ firmware v2.3/v3.0 **40**

10 Estado consolidado, compuertas y riesgos abiertos **41**
10.1 Fotografía al 2026-08-07 . . . 42
10.2 Compuertas vigentes (en orden) . . . 42
10.3 Riesgos y observaciones abiertas . . . 43
10.4 Qué sigue (recomendación de ingeniería) . . . 43

A Esquemático completo V3 (rev. 1.1, tal-como-se-fabricó) **44**

B Capas de cobre y ensamble V3 **46**

C Esquemático completo V4 **52**

D Capas de cobre y serigrafía V4 **54**

E Conectores de arnés pin a pin — nets y designators (netlist) **60**
E.1 V3 — conectores activos . . . 60
E.2 V3 — conectores DNP (solo posiciones; eliminados en V4) . . . 62
E.3 V4 — deltas en conectores heredados y conectores nuevos . . . 62

F BOM V3 — resumen de dispositivos activos y partes críticas **64**

G BOM V4 — delta contra V3 **64**

H Glosario mínimo **66**

1 Resumen ejecutivo

El **EinarBoard** es la tarjeta portadora (*carrier/motherboard*) del rastreador GPS-RTK **HBOX** de Helgen: recibe sobre zócalos los tres módulos del stack — **Blackpill STM32F411** (MCU supervisor/watchdog), **simpleRTK2B Pro** (u-blox ZED-F9P, motor GNSS-RTK) y **4G NTRIP Master** (módem LTE formato XBee) — y aporta en su propio cobre toda la infraestructura que la crisis de campo de junio de 2026 demostró necesaria: energía con respaldo por batería gestionado (LTC4040 + paquete 1S4P), sensado térmico triple, ventilador inteligente, ignición cruda 12–24 V acondicionada, conmutación a prueba de fallos del enlace de correcciones (relevador K1 normalmente cerrado) y telemetría de salud en banda (`$PHLG`). Todo ese subsistema de posición, comunicaciones y telemetría recibe en este informe nombre propio: **EPCT** (*EinarBoard Position, Communications & Telemetry Module*), documentado a nivel de palabra en §4.

Este informe documenta a detalle, para uso interno de ingeniería, las dos generaciones de la tarjeta y el software que las opera:

- **EinarBoard V3** (proyecto KiCad `hbox-watchdog-v3-PROD`, nombre comercial *EinarBoard 1.0*, serigrafía *EINARBoard HBOX*, rev. fabricada 1.1c): tarjeta de 135×100 mm, 4 capas, 132 huellas y 130 nets, ordenada en JLCPCB el 8 de julio de 2026 (PCB `Y4-13033436A` + PCBA, 10 pzas). Es la tarjeta que hoy existe físicamente. El diseño cerró su auditoría pre-fabricación con 4 hallazgos HIGH corregidos (§5.7); el servicio en banco y un incidente de campo revelaron después **tres erratas** (§6): **E-J1** (zócalo J1 del Blackpill espejado — ninguna unidad 1.0 ensamblada supervisa realmente sin el adaptador de banco), **E-CLR** (holguras de 0.2 mm entre `24V_IN` y los rieles de 5 V en la capa interna In2 — corto destructivo en una unidad) y **E-PFI** (disparo del umbral PFI de 4.60 V del LTC4040 ante ráfagas LTE en banco sin batería).
- **EinarBoard V4** (proyecto `hbox-watchdog-v4`, serigrafía *EinarBoard 2.0 / HBOX v4*, rev. 2.0): el respin de producción. Crece a 155×100 mm y 188 huellas; **corrige de raíz las tres erratas** (zócalo J1 renumerado `RevNum_EJ1`, netclass `HV24` con regla de 0.5 mm, PFI recalculado a 4.40 V + 220 µF de amortiguamiento en `VEH5V`) y añade las capacidades comprometidas con el cliente: **RS-485/Modbus RTU y RS-232** (puente dual SC16IS752 + SP3485 + MAX3232), **Ethernet a bordo** (W5500 + MagJack HR911105A en riel dedicado `3V3_ETH`) y **LED RGB de estado** vía expansor PCF8574 — todo sin agotar el F411 gracias a la jugada arquitectónica clave: mover el medidor de batería de PB12–PB15 al expansor I²C libera SPI2 completo para el W5500 (§7.2). El paquete de fabricación (`production/HBOX_v4_PROD`) se liberó el 1 de agosto de 2026 y la orden JLCPCB (lote `Y5`) se preparó el 2–3 de agosto.
- **Firmware Blackpill**: la línea `blackpillrtkcode` v1 → v2.0–v2.3 → **v3.0** (2026-07-29, produción para la flota EinarBoard). La doctrina de recuperación — ciclar la energía de *todo* el stack, nunca resetear el GNSS; backoff exponencial; modo LIMP; detección de silencio NMEA; apagado como estado seguro — se conserva intacta desde v2.0 y está verificada por simulación. v3.0 cierra los hallazgos de la revisión del 24 de julio (desborde de `millis()` que colapsaba el backoff cada 49.7 días, falso fallo de ventilador por tacómetro inexistente, validación de checksum NMEA) y *por fin maneja el silicio exclusivo del EinarBoard*: gestión de carga LTC4040 con corte térmico 45/40 °C y reinicio del temporizador de seguridad, medidor de 4 LEDs, auto-prueba de encendido y 4 campos nuevos de telemetría (§8.5). **v3.0 aún no se ha flasheado en banco** — la regla «banco antes de campo» sigue vigente, y **v3.0 no debe ejecutarse sin modificación sobre una V4** (PB12–15 pasan de LEDs a SPI2; §9).

Cómo leer este informe

Las secciones §2–§3 dan el contexto del sistema y la arquitectura eléctrica común; §4 es la monografía del **EPCT** — el protocolo NMEA y su background técnico, las palabras (GGA, UBX, `$PHLG`) con sus reglas de decodificación para el backend, y el camino exacto por el que el módem 4G las recibe en V3 y V4. §5 y §7 son las monografías de cada tarjeta (razonamiento de diseño, distribución de pines con tablas netlist-verificadas, conectores, fabricación, esquemáticos y capas embebidos). §6 es el registro franco de lo que el campo nos enseñó de V3 — es la sección que justifica V4. §8 cubre el software del Blackpill a profundidad; §9 cruza pin por pin hardware y firmware, y §10 concentra riesgos abiertos y compuertas pendientes. Los apéndices reproducen esquemáticos completos, capas y BOMs.

2 Contexto del sistema y por qué existe esta tarjeta

2.1 El producto HBOX y su despliegue

El HBOX es el rastreador RTK vehicular de Helgen para maquinaria pesada portuaria (Hutchison Ports — ICAVE como laboratorio de estrés en Veracruz; TIMSA, EIT y LCT en expansión; meta de 30 unidades operativas). Cada unidad vive dentro de un gabinete industrial IP67 (ABS) que aloja protección eléctrica (interruptor, SPD Phoenix, SSR/opto para ignición) y una fuente Mean Well DDR-60G-24; el HBOX (impresión 3D en **ASA**, apto térmicamente — se ablanda hasta ∼95–100 °C) recibe del gabinete **24 V regulados**, **5 V de vehículo** (Mean Well SD-15B-05 interna) e **ignición cruda de máquina** por el pasamuros **GX16-5**. Las máquinas ICAVE son de 24 V (RTG, Reach Stacker, Empty Handler) y de 12 V (Tractoplana, Montacargas) — dato relevante para el umbral de ignición (§7.7).

La posición viaja como NMEA por el módem 4G (UDP al backend `htracker` → Wialon); las **correcciones RTCM3 llegan por el módem 4G vía NTRIP** — nunca por el GNSS — de modo que un enlace caído *solo* se recupera ciclando la energía del stack completo (módem incluido), jamás con un reset del receptor.

2.2 La crisis de junio de 2026 (el origen del EinarBoard)

En junio de 2026 la flota ICAVE murió de forma casi simultánea, con desconexiones crónicas previas; el cliente escaló calificando la electrónica de «grado prototipo» (Dupont, soldaduras estresadas, sin diseño antivibración) y retiró las unidades. El análisis de causa raíz encontró **tres frentes independientes**:

1. **Backend**: el `retranslator.py` de producción bloqueaba a toda la flota ante un upstream lento (head-of-line) y su filtro anti-salto podía aislar permanentemente a una unidad sana. Corregido y desplegado (20-jun); fuera del alcance de este informe.

2. **Térmico a nivel componente**: trampa de calor anidada (HBOX sellado dentro de gabinete sellado con la fuente adentro). Las víctimas son los **componentes de potencia** — celda 18650, boost, módem 4G — no el ZED-F9P (especificado -40…$+85$ °C) ni la caja ASA. Respuesta: telemetría térmica triple + ventilador inteligente + gestión de carga cualificada por temperatura (la falla #1 del RCA es la celda caliente).

3. **Hardware prototipo**: la construcción a mano. Respuesta: *esta* tarjeta — una portadora de producción con zócalos, fabricada y ensamblada industrialmente.

Dos lecciones de observabilidad de esa campaña también dieron forma al diseño: la consola del 4G NTRIP Master **no es señal confiable de salud** (una unidad sana registra lo mismo que una muerta), y los

receptores estaban sanos pero **ninguno alcanzaba RTK** (todos SPS: caster público sin SLA, configuración F9P solo en RAM, cielo de banco). De ahí que el Blackpill — el único componente que parsea GGA y controla el riel — sea el **registro autoritativo de salud por unidad** (spec de logging, §8.7) y que el firmware tenga guardia anti-thrash SPS (§8.1).

2.3 Invariantes canónicos del proyecto

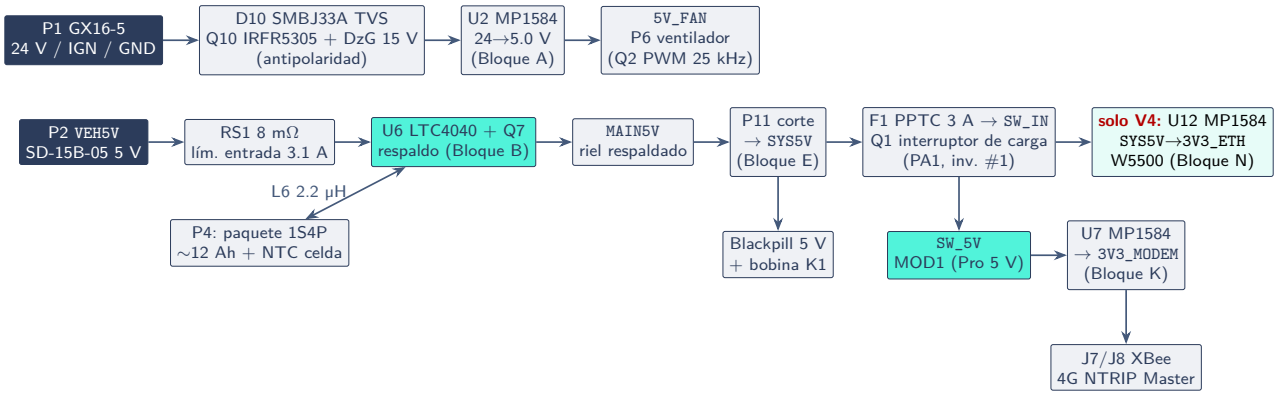
Toda decisión de diseño de V3, V4 y del firmware se verifica contra estas reglas (heredadas del *Helgen Project Ethos*); las citaremos por número a lo largo del informe:

#	Invariante
1	**Apagado es el estado seguro.** El stack RTK arranca desconectado (pull-up en la compuerta del interruptor de carga); solo el MCU, al afirmar confianza, lo enciende. MCU ausente ⇒ stack apagado.
2	**Nunca desaparecer, nunca ciclar en bucle.** Una unidad debe seguir reportando (aunque sea GPS autónomo) antes que callar; y jamás entrar en reinicios rápidos infinitos (cada reinicio es una desconexión en Wialon).
3	**Las correcciones viajan por el módem 4G, no por el GNSS.** La recuperación del enlace es ciclar la energía del stack; un reset del GNSS nunca arregla un NTRIP muerto. Corolario en cobre: el enlace debe sobrevivir a un MCU muerto o ausente (K1 NC).
4	**Ningún material que ablande bajo ∼80 °C en la ruta térmica.** La caja es ASA; IP67 se mantiene — enfriamiento por conducción, sin ventilas al exterior. Diseñar a la temperatura medida del gabinete, no a la ambiente de hoja de datos.
5	**El backend no debe aislar a una unidad sana** — la contribución de la tarjeta es telemetría honesta (`$PHLG`, estado de carga, temperaturas) en el log STREAM.
6	**Cero secretos en el repositorio.** Ni este informe ni los BOMs portan credenciales.

3 Arquitectura eléctrica común (V3 y V4)

Ambas generaciones comparten el mismo esqueleto: una portadora de 4 capas que aloja los tres módulos en zócalos hembra y organiza la electrónica en **bloques** con letra propia (nomenclatura usada en esquemáticos, documentos y este informe). V4 conserva los bloques A–K de V3 *sin cambios eléctricos de fondo* (solo los ajustes de erratas de §6) y añade los bloques M, N y O (§7).

3.1 Árbol de potencia



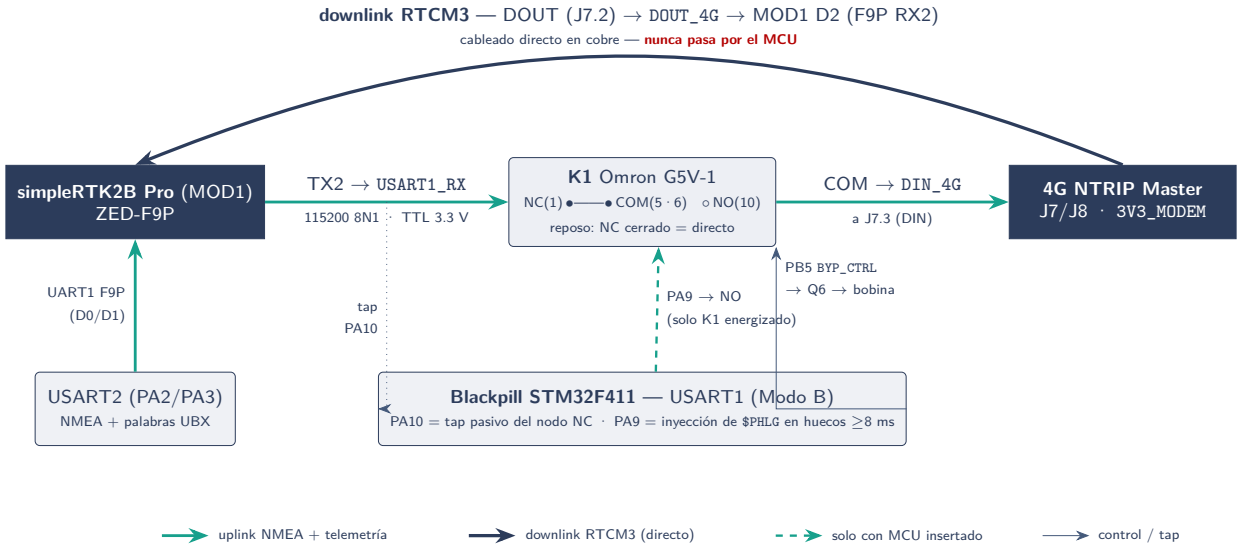
Los principios que codifica este árbol, con su razonamiento:

- **El lado de 24 V no alimenta lógica.** `24V_IN` entra por P1.1 con TVS (D10 SMBJ33A) y antipolaridad de FET-P (Q10 IRFR5305 con zener de compuerta DzG 15 V) y alimenta *únicamente* el buck del ventilador (U2). Toda la lógica corre de los 5 V del vehículo (SD-15B-05, dentro del HBOX, derivada del propio GX16 24 V). Así el inrush del ventilador jamás hunde `MAIN5V`, y un evento en 24 V no toca al MCU. (La errata E-CLR demostró que esta separación debe respetarse *también en el ruteo interno*: §6.2.)
- **`MAIN5V` es el riel respaldado.** `VEH5V` (P2) → RS1 (sensado, límite de corriente de entrada 3.1 A que protege a la SD-15B-05 de 3 A: la carga de batería cede primero) → ruta de potencia LTC4040 → `MAIN5V`. Ante pérdida de vehículo el LTC4040 hace boost desde la celda y Q7 (AO4406A, compuerta IGATE) desconecta la entrada muerta — orientación S=`VIN_SW`/D=`MAIN5V` corregida en auditoría (H1, §5.7): invertida, el diodo de cuerpo habría vaciado el respaldo hacia el riel muerto *exactamente cuando se necesitaba*.
- **El corte P11 mata todo** (Bloque E): en serie `MAIN5V`→`SYS5V`, aguas abajo de la fusión con batería — apaga vehículo *y* batería. Se embarca con puente instalado; **un P11 abierto es una tarjeta muerta que parece falla de campo**.
- **El sensado de vehículo va del lado del vehículo** (Bloque F): el divisor de PA4 toma de `VEH5V`, nunca del riel respaldado — en `MAIN5V` jamás caería y la celda se drenaría sin que el firmware se enterara (Hallazgo 3 de la revisión de conexiones).
- **El módem se reinicia con el stack** (Bloque K): U7 (segundo MP1584) genera `3V3_MODEM` (3.33 V, FB 100k/31.6k) *desde* `SW_5V` — el zócalo XBee del Pro es de 3.3 V (1 A, 2 A pico), no de 5 V — de modo que el ciclo de energía del watchdog (invariante #3) también reinicia el módem. C43 100 µF absorbe ráfagas LTE.
- **V4 añade un riel que NO se cicla**: `3V3_ETH` (U12, clon del Bloque K) nace de `SYS5V` — deliberadamente *no* de `3V3_MODEM` ni del LDO del Blackpill (W5500 ≈132 mA) — porque Ethernet es la ruta de reporte del watchdog *durante* los ciclos de recuperación del stack: debe sobrevivirlos (§7.4).

3.2 Catálogo de bloques

Bloque	Tarjetas	Función	Partes / nets clave
A	V3 · V4	Buck del ventilador 24→5.0 V, riel dedicado	U2 MP1584EN, L2 10 µH, FB R20 100k/R21 19.1k, Dbk1 SS34, `5V_FAN`, JP1 **ABIERTO**
B	V3 · V4	Respaldo de batería: cargador + ruta de potencia + boost 2.5 A	U6 LTC4040EUFD, Q7 AO4406A, RS1 8 mΩ, L6 2.2 µH/8 A, P4, straps 4.00 V (JP2/3/4)
C	V3 · V4	Reset	SW1 a bordo + P10 externo → `NRST`
D	V3 · V4	Medidor de batería 4 LEDs	V3: PB12–15 directo · V4: PCF8574 P0–P3; RB1–4 330 Ω, DB1–4
E	V3 · V4	Corte de energía (vehículo *y* batería)	P11 en serie `MAIN5V`→`SYS5V`; puente instalado si no hay switch
F	V3 · V4	Sensado de 5 V del lado vehículo	Divisor de PA4 desde `VEH5V`
H	V3 · V4	Bypass a prueba de fallos del uplink Modo B	K1 Omron G5V-1 **NC**, Q6 (PB5), D6 flyback, R40/R41
I	V3 · V4	Canal NTC de punto caliente	R42 10 k 1 % + C24 → PB1 (ADC1_IN9), sonda en P12
J	V3 · V4	Zócalos portadores	J1/J2 Blackpill 1×20 · MOD1 escudo UNO (Pro) · J7/J8 XBee 2.00 mm
K	V3 · V4	Riel del módem	U7 MP1584EN `SW_5V`→`3V3_MODEM` (3.33 V), L7 10 µH, C43 100 µF
U	V3 · V4	Puerto de servicio USB-C (DFU del módem in situ)	J9 USB4085, RCC 5.1 k×2, SW4G1 reset, D4G1/Rmled1 LED
M	**V4**	Serial de cliente: RS-485 + RS-232/TTL	U10 SC16IS752 @0x4D, U14 SP3485, U15 MAX3232, P15/P16, H4, JP5
N	**V4**	Ethernet	U11 W5500, J10 MagJack HR911105A, U12 MP1584 `3V3_ETH`, Y1 25 MHz
O	**V4**	Expansor de E/S: medidor + RGB	U13 PCF8574 @0x20, P14 RGB, RB1–4/R89–91

3.3 El stack de módulos y el flujo de datos (Modo B)



Modo B es la arquitectura permanente de uplink desde la conversión a portadora (2026-07-02): el watchdog se sienta *en línea* solo en el **uplink** (F9P TX2 → módem DIN) para inyectar `$PHLG`; el **downlink RTCM3** (módem DOUT → F9P RX2) está cableado directo y jamás entra al MCU. El relevador K1 se eligió sobre un mux analógico porque un mux muere con el riel de 3V3: los contactos **normalmente cerrados** de K1 mantienen el camino directo con el Blackpill colgado, sin energía o *físicamente ausente* (extiende los invariantes #2/#3 al camino de diagnóstico). El mapa de pines de K1 se verificó contra la hoja Omron en auditoría: bobina 2/9, COM 5&6 (duplicado interno — el doble net `DIN_4G` es correcto, no un corto), NC = 1 = F9P TX2, NO = 10 = PA9.

En reposo (K1 desenergizado) la unidad opera exactamente como si el watchdog no existiera; PA10 mantiene un *tap* pasivo de monitoreo sobre el nodo NC. El zócalo XBee del propio Pro queda **vacío** en ambas revisiones del módulo; en Pros con switch UART, el switch se estaciona en UART1; en Pros nuevos (sin switch, zócalo cableado a UART2) **jamás conectar el puerto «USB XBee» del Pro en servicio** — su FTDI queda directamente sobre el downlink RTCM3. El detalle a nivel de *palabra* — protocolo NMEA, formatos GGA/UBX/`$PHLG`, framing hacia el caster y el backend, y la tabla de verdad de K1 — vive en la monografía del EPCT (§4).

4 El módulo EPCT — *EinarBoard Position, Communications & Telemetry*

4.1 Definición, alcance y convenciones

Bautizamos formalmente como **EPCT** (*EinarBoard Position, Communications & Telemetry Module*) al subsistema que ambas tarjetas dedican a producir la posición, transportarla al servidor y montar sobre el mismo canal la telemetría de salud de la unidad. El EPCT no es un chip: es el **conjunto** formado por el motor GNSS (simpleRTK2B Pro/ZED-F9P en MOD1), el relevador de inserción K1 con su driver (Bloque H), el tap y la inyección del Blackpill (USART1: PA10/PA9), el módem **4G NTRIP Master** en J7/J8 con su riel `3V3_MODEM` (Bloque K), el puerto de servicio USB-C (Bloque U) y — solo en **V4** — los transportes futuros por Ethernet (Bloque N) y serial de cliente (Bloque M). Esta sección documenta el módulo **a nivel de palabra**: qué bytes viajan, en qué formato, por qué cobre, y qué necesita saber *el otro lado* (backend/caster) para codificar y decodificar.

Convenciones de dirección usadas en todo el proyecto (fijarlas evita las confusiones de «sube/baja»):

Término	Dirección	Qué viaja
Uplink	unidad → servidor	Palabras NMEA de posición (`GGA…`) del F9P + **telemetría en banda** (`$PHLG`) inyectada por el MCU en Modo B. Es el canal por el que *la telemetría baja al servidor*
Downlink	servidor → unidad	Correcciones **RTCM3** (binarias) desde el caster NTRIP — entran al F9P RX2 **directo**, jamás tocan al MCU
Telemetría en banda	sobre el uplink	`$PHLG` comparte el mismo cable, módem y sesión que la posición — cero hardware extra, cero segunda SIM

4.2 Background técnico — el protocolo NMEA 0183

Qué es. NMEA 0183 es el estándar de la *National Marine Electronics Association* (1983) para intercambio de datos entre instrumentos de navegación. Sobrevivió cuatro décadas por dos virtudes que explotamos directamente: es **ASCII legible** (se diagnostica con un monitor serial y los ojos) y es **tolerante a extensión** (un receptor ignora sentencias y campos que no conoce). Todo el rastreo de la flota HBOX — y el formato de nuestra telemetría — vive dentro de su gramática.

Anatomía de una sentencia. Una línea NMEA es:

$$\$\,\mathtt{TTSSS},\mathtt{campo}_1,\mathtt{campo}_2,\ldots,\mathtt{campo}_n*\mathtt{hh}\,\backslash\mathtt{r}\backslash\mathtt{n}$$

- `$` — inicio de sentencia. El firmware re-sincroniza el búfer en cada `$` recibido (robustez ante basura de línea).
- `TT` — *talker ID* (2 letras): quién habla. Relevantes aquí: `GP` (GPS), `GL` (GLONASS), `GA` (Galileo), `GB` (BeiDou) y `GN` = solución **multi-constelación combinada** — lo normal en el ZED-F9P, por eso el parser acepta `$GNGGA` *y* `$GPGGA`.
- `SSS` — tipo de sentencia (3 letras): `GGA`, `RMC`, `GSA`, `GSV`, `VTG`… Nosotros solo *parseamos* GGA (§4.3); el resto pasa transparente al servidor.
- **Caso especial `$P…`** — sentencias **propietarias**: la letra `P` seguida del mnemónico del fabricante. u-blox usa `$PUBX`; **Helgen usa `$PHLG`** — nuestra palabra de telemetría es una sentencia propietaria *gramaticalmente válida*, y esa es la clave de todo el diseño: cualquier equipo que hable NMEA la transporta sin inmutarse y cualquier parser estándar la ignora sin romperse.

- **Campos** — texto separado por comas, **posicional**: el significado lo da la posición, no una etiqueta. Un campo puede ir **vacío** (dos comas seguidas) — es legal y frecuente; de ahí el clamp de calidad de v3.0 (un campo vacío no es «-4»).
- `*hh` — checksum: **XOR byte a byte de todos los caracteres entre `$` y `*`** (exclusivos), expresado en 2 dígitos hex mayúsculas. Es detección de error simple (no corrección, no CRC), suficiente para descartar líneas mordidas por ruido en transiciones de energía — exactamente lo que v3.0 empezó a validar en recepción (F6) y lo que `buildPHLG()` calcula en emisión.
- `\r\n` — terminador. El estándar clásico limita la sentencia a **82 caracteres** (incluidos `$` y CR/LF); los modos de alta precisión de u-blox pueden excederlo, y `$PHLG` v3.0 ronda los 90 — por eso el búfer del firmware es de **110 bytes** con guarda de desborde, y por eso el *otro lado* no debe asumir el límite de 82.

Capa física. El NMEA «marino» clásico corre a 4800 bps sobre RS-422 diferencial. Nada de eso aplica dentro del EinarBoard: aquí las sentencias viajan por **UART asíncrono TTL de 3.3 V** (referencia `IOREF` = `3V3` del Pro), **115200 baudios, 8N1, sin control de flujo** (CTS/RTS del módem quedan NC), reposo en alto. A 115200 bps un carácter tarda ≈87 µs; una GGA típica de ∼75 caracteres ocupa ∼6.5 ms de línea — contexto para dos números del firmware: la ventana de silencio de **8 ms** que usa el inyector de `$PHLG` para no partir jamás una sentencia, y el riesgo F4 (10 ms de bloqueo del SHT40 ≈ 115 bytes contra un ring RX de 64).

Los protocolos compañeros (los tres restantes idiomas del EPCT):

Protocolo	Naturaleza	Rol en el EPCT
UBX	Binario u-blox: sync `B5 62`, clase/ID, longitud LE, payload, checksum **Fletcher-8**	Palabras de *control* del MCU al F9P por UART1 (cadencia 1 Hz/30 s — §4.4). No sale de la tarjeta
RTCM3	Binario (RTCM 10403): preámbulo `0xD3`, longitud 10 bits, payload, CRC-24Q; mensajes MSM + posición de base	Las *correcciones* del downlink. Entran por el módem y van directo a F9P RX2; el F9P las consume y su GGA sube de calidad 1 a 4/5. **Nunca las toca el MCU** — no intentar parsearlas del otro lado del tap
NTRIP	Sesión tipo HTTP sobre TCP: cliente pide un *mountpoint* al *caster* con credenciales	Cómo el módem consigue el RTCM3. Detalle crítico: en redes VRS el cliente **sube su GGA** periódicamente para que la red genere correcciones virtuales cercanas — **por eso el uplink GGA debe permanecer byte-exacto** y el inyector solo habla en huecos de línea

4.3 La palabra de posición: GGA campo por campo

GGA (*Global positioning system fix data*) es la sentencia que el EPCT trata como «latido» de la unidad: porta posición, calidad de fix y satélites, y su llegada refresca el `lastNmeaMs` del watchdog. Ejemplo real de un F9P con RTK fijo, anotado:

```
$GNGGA,170834.00,1912.29917,N,09608.11550,W,4,12,0.75,14.2,M,-18.8,M,1.0,0000*61
```

#	Ejemplo	Campo	Notas de decodificación
0	`GNGGA`	talker+tipo	`GN`=multi-GNSS; el firmware acepta `GN`/`GP`
1	`170834.00`	hora UTC `hhmmss.ss`	del tiempo GNSS (la tarjeta no tiene RTC)
2–3	`1912.29917,N`	latitud `ddmm.mmmmm` + hemisferio	grados+minutos decimales — convertir a decimal: $dd + mm.mmmmm/60$
4–5	`09608.11550,W`	longitud `dddmm.mmmmm` + E/W	ídem (3 dígitos de grado)
6	`4`	**calidad de fix**	**el campo que gobierna al watchdog**: 0 sin fix · 1 GPS/SPS · 2 DGPS · 4 **RTK fijo** · 5 **RTK flotante** (6 DR, 7 manual, 8 simulado). Salud ≥4; SPS=1 es «sano pero sin correcciones». Puede venir **vacío** ⇒ clamp 0–8 (F6)
7	`12`	**satélites en uso**	segundo campo parseado a bordo
8	`0.75`	HDOP	calidad de geometría de cielo (candidato a columna futura del log)
9–10	`14.2,M`	altitud MSL + unidad	
11–12	`-18.8,M`	separación geoidal + unidad	
13	`1.0`	edad de correcciones (s)	sube cuando el downlink RTCM3 se degrada — útil del otro lado
14	`0000`	ID de estación base	del caster/VRS
*	`*61`	checksum	XOR de `GNGGA,…,0000`

El firmware parsea **solo** los campos 6 y 7 (contando comas, sin tokenizar toda la línea — buffer fijo, cero heap) y valida el checksum antes de tocar estado (v3.0); las sentencias completas siguen su camino intacto al módem. **Regla para el otro lado**: la calidad y la edad de correcciones del GGA son la verdad de posición; `$PHLG` es la verdad de *salud* — se complementan, no se sustituyen.

4.4 Las palabras de control: UBX CFG-RATE (cadencia 1 Hz / 30 s)

El único tráfico que el MCU *escribe* al F9P en operación son dos palabras UBX precalculadas que conmutan la cadencia de navegación (máquina activa → 1 Hz; reposo o derate térmico → 30 s). Estructura UBX: `B5 62` (sync «μb») · clase `06` ID `08` (CFG-RATE) · longitud `06 00` (LE) · payload de 3 enteros u2 LE (`measRate` ms, `navRate` ciclos, `timeRef`: 1=tiempo GPS) · checksum **Fletcher-8** sobre clase…payload (`CK_A += byte; CK_B += CK_A`, mód. 256). Las dos palabras, byte a byte (checksums verificados):

Palabra	Bytes	Decodificación
`UBX_1HZ`	`B5 62 06 08 06 00 E8 03 01 00 01 00 01 39`	measRate `03E8`=1000 ms × navRate 1 ⇒ solución cada 1 s; CK=`01 39`
`UBX_30S`	`B5 62 06 08 06 00 E8 03 1E 00 01 00 1E AD`	measRate 1000 ms × navRate `1E`=30 ciclos ⇒ solución cada 30 s; CK=`1E AD`

Nota de diseño: se cambia la *cadencia de solución*, no se filtra la salida — así el receptor sigue internamente enganchado y la vuelta a 1 Hz es instantánea. Estas palabras viajan por UART1 (PA2→D1) y jamás aparecen en el uplink.

4.5 La palabra de telemetría `$PHLG` — referencia de decodificación

`$PHLG` es la sentencia propietaria Helgen que empaqueta la salud completa de la unidad en una línea NMEA-válida. Hoy (v2.3/v3.0) se emite **cada 30 s al log USB STREAM**; su destino de diseño es viajar

en banda por el uplink (§4.6) — aunque la palabra definitiva *over-the-air* sigue abierta (§4.7). Formato v3.0 (**25 tokens**; v2.3 = los primeros 21 — disciplina **append-only**: el decodificador debe tolerar campos extra al final):

```
$PHLG,3.0,RUN,OK,4,14,9001,3.96,5.01,58,69,0,0,180,POR,25,50,25,0,0,0,31,1,0,0*32
```

#	Ejemplo	Campo	Tipo/unidad	Decodificación
0	PHLG	identificador	—	sentencia propietaria Helgen (P+HLG)
1	3.0	fw	texto	versión de firmware — **gobierna cuántos campos esperar**
2	RUN	state	enum	SLEEP·BOOT·RUN·PWRCYC (máquina de estados §8.1)
3	OK	link	enum	SRCH·OK·DEGR·LIMP
4	4	fix	int 0–8	calidad GGA (clampeada)
5	14	sat	int	satélites en uso
6	9001	rx	uint32	GGA acumuladas esta sesión — **debe incrementar ∼1/s a 1 Hz**; plano = feed muerto
7	3.96	vbat	V, 2 dec	celda (÷2, EMA). <3.40 ⇒ SLEEP
8	5.01	v5v	V, 2 dec	riel de vehículo (>4.2 presente / <3.8 ausente)
9	58	tc	°C int	dado del MCU; −127 **= n/d**
10	69	tmax	°C int	máximo de sesión — la evidencia térmica
11	0	rec	uint	recuperaciones consecutivas; ≥5 → LIMP
12	0	limp	0/1	LIMP latcheado
13	180	nmea_age	ms uint32	edad del último NMEA; >60000 = stack colgado
14	POR	reset	enum	POR·PIN·SOFT·IWDG·WWDG·LPWR·BOR·UNK — IWDG = el MCU se auto-rescató
15	25	tair	°C int	SHT40 (−127 n/d)
16	50	rh	% int	humedad SHT40 (−1 **= n/d**)
17	25	tbat	°C int	sonda TMP102 (−127 n/d)
18	0	fan_rpm	uint	0 permanente en EinarBoard (tach DNP, ENABLE_FAN_TACH=0)
19	0	fan_pwm	% uint	duty comandado del ventilador
20	0	fan_fault	0/1	v3.0: falla por *tendencia térmica*
21	31	tntc	°C int	**v3.0+** NTC de punto caliente PB1 (−127 n/d)
22	1	chg	0/1	**v3.0+** cargando (PB3 bajo)
23	0	cflt	0/1	**v3.0+** falla del cargador (PB4 bajo)
24	0	rxbad	uint32	**v3.0+** GGA rechazadas por checksum
*	*32	checksum	hex	XOR de todo entre $ y *

Decodificador de referencia para el otro lado (el contrato completo en ∼15 líneas — validar checksum, tolerar campos extra, mapear sentinelas):

```
PHLG_FIELDS = ["fw","state","link","fix","sat","rx","vbat","v5v","tc","tmax",
```

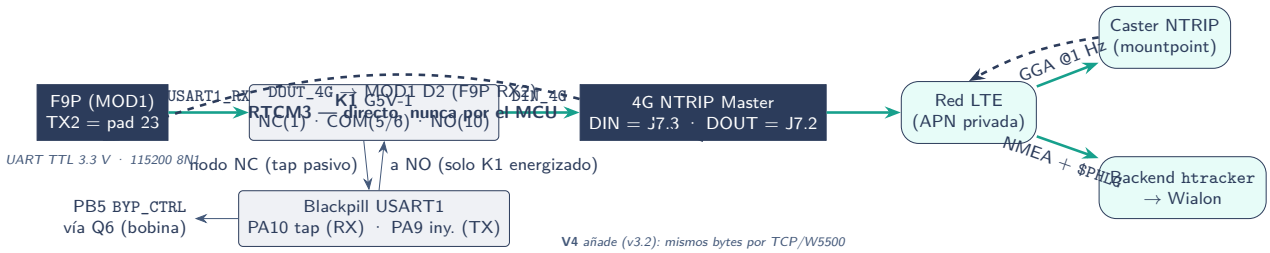
```
                "rec","limp","nmea_age","reset","tair","rh","tbat","fan_rpm",
                "fan_pwm","fan_fault","tntc","chg","cflt","rxbad"]   # append-only

def decode_phlg(line: str):
    line = line.strip()
    if not line.startswith("$PHLG,") or "*" not in line: return None
    body, cs = line[1:].rsplit("*", 1)
    x = 0
    for ch in body: x ^= ord(ch)
    if x != int(cs, 16): return None                    # checksum XOR NMEA
    vals = body.split(",")[1:]                          # quita "PHLG"
    d = dict(zip(PHLG_FIELDS, vals))                    # v2.3 llena 20; v3.0 llena 24
    for k in ("tc","tmax","tair","tbat","tntc"):
        if k in d and d[k] == "-127": d[k] = None       # sentinela temperatura
    if d.get("rh") == "-1": d["rh"] = None              # sentinela humedad
    return d
```

Reglas del contrato: los timestamps son `millis()` del MCU (el receptor antepone hora de pared); los enums son estables; **jamás se reordena ni se elimina un campo** — solo se anexa al final con brinco de versión en `fw`; el backend `htracker` mantiene su lista `PHLG_FIELDS` como espejo de la tabla anterior (hoy le faltan los 4 campos v3.0 — pendiente O-3).

4.6 Cómo recibe el módem 4G la palabra — V3 y V4

El camino eléctrico de los bytes (idéntico en cobre V3 = V4)



Paso a paso, con pads verificados en netlist:

1. El F9P emite el uplink NMEA por **UART2 TX** (pad 23 de MOD1, silk `D8/TX2`) al nodo `USART1_RX`. En ese nodo cuelga **PA10** como *tap pasivo*: el MCU escucha sin cargar la línea.

2. El nodo entra al contacto **NC (pin 1)** de K1. **Desenergizado** — MCU muerto, ausente, en reset o simplemente sin Modo B — el NC une directo con **COM (pines 5/6)** = `DIN_4G`: la unidad transmite como si el watchdog no existiera (invariantes #2/#3). **Energizado** (PB5 alto vía Q6), COM conmuta a **NO (pin 10)** = **PA9**: ahora el MCU está en línea, reenvía byte a byte lo que oye en PA10 e **inyecta `$PHLG` solo tras ≥8 ms de línea ociosa** (jamás parte una GGA — el caster VRS la necesita íntegra).

3. `DIN_4G` llega a **J7.3** (pin DIN del zócalo XBee) — el módem recibe el flujo como si viniera directo del receptor: **no parsea, no re-encuadra: reenvía transparente** (comprobado el 2026-06-22: una `$PUBX` inyectada llegó byte-idéntica al servidor — la prueba de que `$PHLG` también llegará).

4. Del módem hacia afuera viajan dos flujos sobre la sesión LTE: el **GGA de cortesía al caster** (requisito VRS) y el **feed NMEA completo al backend** (UDP), del que `htracker` extrae posición para Wialon y — cuando la palabra de telemetría se congele — `$PHLG` para el tablero de flota.

5. En sentido contrario, el caster baja **RTCM3** → módem **DOUT** (J7.2 = `DOUT_4G`) → **MOD1 pad 17** (D2 = F9P RX2), cableado directo.

Estados de K1 (tabla de verdad del uplink)

Condición	K1 / PB5	Ruta del uplink	Telemetría
MCU ausente/muerto/reset · v2.3/v3.0 de fábrica	desenergizado (PB5 bajo o sin manejar)	F9P TX2 → NC → COM → módem	Solo posición; `$PHLG` queda en el log USB. PA10 sigue escuchando
Modo B activo (v3.1, solo en RUNNING)	energizado (PB5 alto)	F9P TX2 → PA10 → firmware → PA9 → NO → COM → módem	Reenvío byte-exacto + `$PHLG` en huecos ≥8 ms
Falla de firmware con K1 energizado	la bobina cae (IWDG resetea, PB5 vuelve bajo)	NC restituye el camino directo	Fail-safe por hardware: perder el MCU nunca corta posición ni correcciones

Qué cambia en V4

Nada en el camino primario — pads, nets y relevador son idénticos (la continuidad del EPCT entre generaciones es deliberada: el backend no distingue una V3 de una V4 por el uplink 4G). Lo que V4 *añade* son transportes alternativos para las mismas palabras:

Transporte	Hardware	Palabras que porta	Estado
LTE/NTRIP (primario)	Bloque K + J7/J8	NMEA + `$PHLG` ↑ · RTCM3 ↓	operativo (V3 y V4)
Ethernet TCP	Bloque N (W5500, `3V3_ETH` — sobrevive los ciclos del stack)	espejo `$PHLG`/STREAM ↑ · espejo del feed vía tap PA10 · **NTRIP-over-Ethernet** ↓ (sitios fijos sin 4G)	**v3.2** — cobre listo en V4
Serial de cliente	Bloque M (SC16IS752 + RS-485/RS-232)	telemetría *por consulta* (registros Modbus RTU) o NMEA-out	**v3.1** — mapa de registros por firmar

4.7 La palabra de telemetría *over-the-air*: DECIDIDA — opción A canónica

Decisión registrada — 2026-08-08

La opción A es la palabra canónica de telemetría (decisión del propietario, 2026-08-08): `$PHLG` *tal cual* — la misma sentencia del log USB, sin recortar ni re-empacar — viajando **en banda** por el uplink Modo B. Una sola palabra en USB y aire; la disciplina append-only se conserva. Importante para el otro lado: **hoy el flujo NMEA aún llega al servidor sin alterar** (K1 desenergizado, relevo apagado) — el decodificador puede construirse y probarse *desde ya* contra capturas USB (son los mismos bytes), y empezará a ver `$PHLG` en vivo cuando v3.1 pase sus compuertas de banco (§4.8). La matriz siguiente queda como registro de la deliberación.

Op.	Palabra / canal	A favor	En contra / costo
A	`$PHLG` tal cual, en banda por Modo B (LTE)	Cero hardware nuevo; formato ya implementado y simulado; el backend ya parsea NMEA del mismo socket; degradación elegante (K1 NC)	Requiere v3.1 (prerrequisitos F4: SHT40 no bloqueante + rings de 256) y extender `PHLG_FIELDS`; consumo de datos marginal (∼90 B/30 s)
B	`$PHLG` recortada o re-empacada (nueva `$P` compacta)	Menos bytes al aire	Rompe la disciplina append-only ya pagada; dos formatos que mantener (USB vs aire); ahorro irrelevante a 90 B/30 s
C	Registros **Modbus RTU/TCP** (Bloques M/N de V4)	Estándar industrial que el cliente pidió; *pull* bajo demanda; convive con A	Solo V4; el mapa de registros necesita firma del cliente; no cubre la flota V3; es *consulta*, no streaming — mal sustituto del historial
D	TCP crudo/JSON por Ethernet (v3.2)	Rico, fácil del lado servidor	Solo sitios con LAN; duplica el formato; Ethernet es complemento, no primario

Con A ratificada: **B queda descartada** (dos formatos que mantener por un ahorro de ∼0.3 MB/mes que a nadie le duele) y **C/D quedan como espejos por transporte** — la *misma* palabra servida por consulta Modbus (Bloque M, gateada por la firma del cliente) o por TCP/Ethernet (v3.2) donde esos medios existan. Ninguún espejo sustituye a la palabra canónica.

4.8 Implementación de la palabra canónica en el software de V3 y V4

El plan completo, a nivel de archivo y con compuertas de banco, vive en el brief de ejecución `2026-08-08_Drogheda_Firmware-v3.1_ModoB-PHLG_Design-Brief_v1.0.md` (convención del repo: el brief *es* el prompt de la sesión de implementación). Resumen:

Fase	Qué	Compuerta de salida
1	**Servidor primero** (cero riesgo, sin tocar firmware): `PHLG_FIELDS` extendido, parser tolerante por longitud (20/24 campos), panel + alertas por unidad	Decodifica al 100 % un log USB real de banco (v2.3 *y* v3.0) — **puede arrancar hoy**
2	**Prerrequisitos F4**: SHT40 no bloqueante en dos fases + rings UART de 256 B (`build_opt.h`)	hostsim verde; sin `delay()` en el lazo. **Prerrequisito duro: encender el relevo sin F4 corrompe el uplink GGA del caster VRS**
3	**Relevo en banco V3**: `ENABLE_PHLG_RELAY=1` + driver PB5 (insertar solo en BOOTING→RUNNING, orden `RELAY.begin`→PB5 alto; retirar dentro de `setPower(false)`: PB5 bajo → `RELAY.end` → PA9 flotado)	5 compuertas: G1 reenvío byte-exacto (captura dual 10 min) · G2 RTK fix≥4 sostenido con relevo insertado · G3 `$PHLG` decodificada en el panel · G4 fail-safe (cuelgue forzado → IWDG → PB5 cae → NC restituye) · G5 presupuesto de lazo (TLM a 2 s, `rxbad` plano)
4	**Piloto en vivo** (una unidad)	`$PHLG` en el panel de flota; consumo medido (∼0.3 MB/mes esperado)
5	**V4**: nuevo target `TARGET_HBOXV4` — hereda el EPCT completo sin cambios (PA9/PA10/PB5 = nets idénticas); difiere solo en medidor/RGB→PCF8574 y en no tocar PB12–15; después v3.2 = espejo de la *misma* palabra por W5500/TCP	bring-up V4 + compuertas G1–G5 repetidas

Notas de diseño que el brief fija: la inserción de K1 ocurre **una vez por sesión de energía** (el transfer de ∼ms puede morder una sentencia — aceptable; jamás conmutar por-sentencia); la bobina (∼30 mA de `SYS5V`) se queda energizada también en respaldo — ahí es exactamente cuando `vbat` importa; ante cuelgue del MCU el IWDG resetea, PB5 cae a su default y **el NC restituye el camino por hardware** (R41 garantiza Q6 apagado durante el reset) — la garantía de K1 queda intacta por construcción; y la flota v2.3 sin re-flashear sigue siendo válida indefinidamente: el backend acepta flujo con o sin `$PHLG`.

5 EinarBoard V3 — `hbox-watchdog-v3-PROD` (EinarBoard 1.0)

5.1 Identidad y datos de fabricación

Parámetro	Valor
Proyecto KiCad	`kicad/hbox-watchdog-v3-PROD.{kicad_pro,kicad_sch,kicad_pcb}` — desde el 2026-07-29 es el **registro congelado tal-como-se-fabricó** (incluye el J1 espejado tal cual están las tarjetas físicas); **no volver a editarlo**
Nombre	EinarBoard 1.0 · cuadro de título *EINARBoard HBOX*, rev. 1.1 (2026-07-07)
Dimensiones	135×100 mm (creció de $100 \times 80 \rightarrow 120 \times 100 \rightarrow 135 \times 100$ durante el layout)
Complejidad	132 huellas · 130 nets · ∼1317 pistas · 249 vías · 4 barrenos M3 (MH1–MH4)
Apilado	4 capas: F.Cu (señal/potencia) · **In1.Cu = plano GND sólido** · In2.Cu (señal) · B.Cu
Material	FR-4 TG150 estándar (stackup 4 capas JLCPCB) · 1.6 mm · cobre 1 oz exterior · **ENIG** (obligado en la práctica por QFN-24, DFN-4, SOT-563 y USB-C)
Acabado visual	Máscara azul / serigrafía blanca (estándar más cercano al índigo Helgen #2C3C5B); negro = alternativa aprobada
Netclasses	PWR_HI **1.5 mm** · PWR_MID **1.0 mm** (incluye `SW_IN` desde la corrección H4) · default 0.2 mm · pista mínima presente 0.15 mm
Verificación	ERC 0 errores · DRC 0 errores / 0 pads sin conectar (2026-07-07, tras cierre de auditoría)
Fabricación	JLCPCB, paquete `production/EinarBoard-1.0-rev1.1c-JLC.zip`. Orden `W2026070815023249` (2026-07-08, $489.28 USD DDP): PCB `Y4-13033436A` (10 pzas, 4L/1.6 mm/ENIG) + PCBA `SMT026070860804` (10 pzas; 116 de 118 designadores ensamblados — J1/J2 se sueldan a mano **con el módulo puesto como escantillón**)
BOM	61 líneas PCBA internas + BOM de integración externa; fuente de verdad = `EinarBoard-Manual/helgen_einarboard_1.0_production_bom.xlsx` (LCSC verificados)

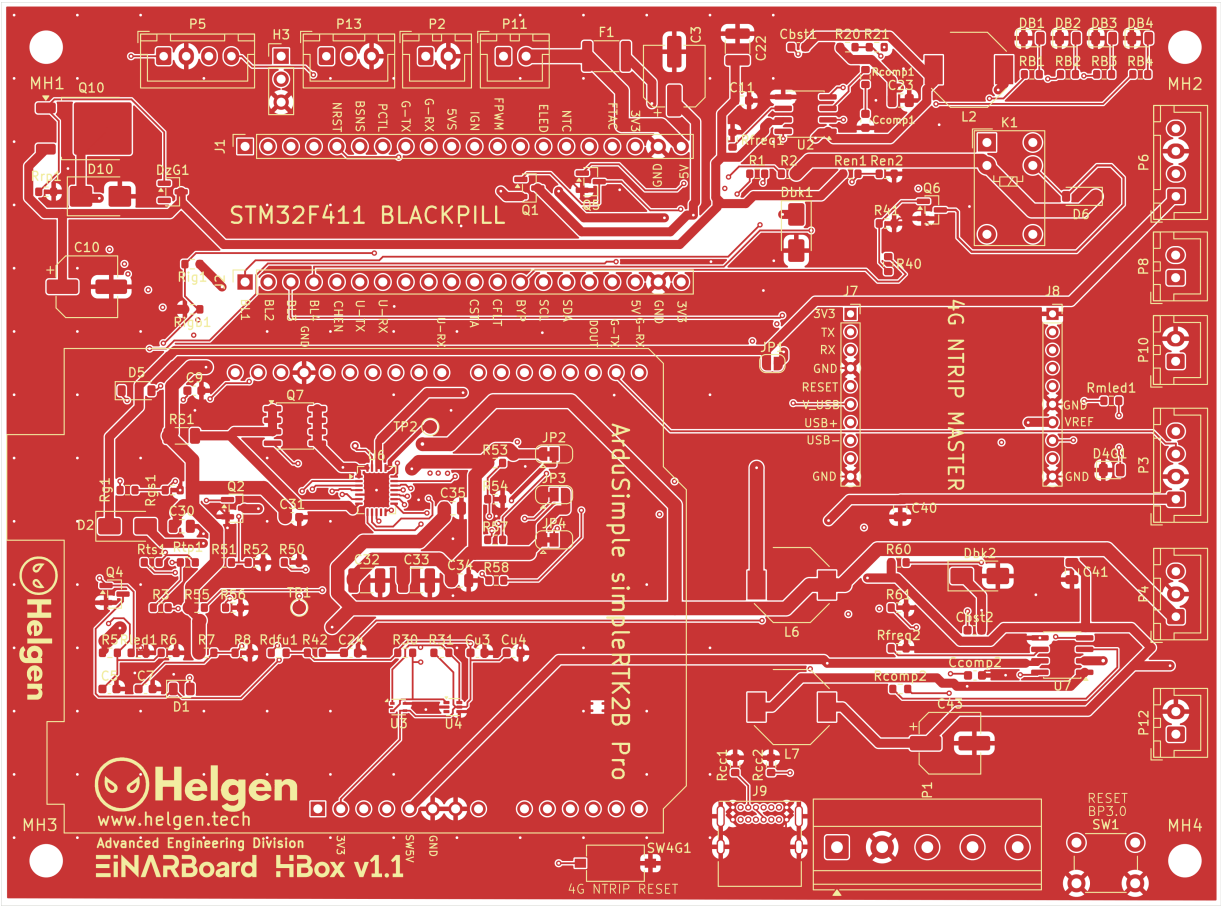


Figura 1: V3 — vista superior (F.Cu + serigrafía + contorno, render del `.kicad_pcb` tal-como-se-fabricó). Zona izquierda: campo del escudo simpleRTK2B Pro (MOD1) con el SMD de bajo perfil debajo; centro: zócalos J1/J2 del Blackpill; derecha: campo XBee (J7/J8) + USB-C de servicio; abajo: entrada de potencia P1 (GX16-5) y frente de 24 V.

5.2 Razonamiento de diseño: por qué una portadora con zócalos

- **Zócalos, no soldadura de módulos.** Los tres módulos (Blackpill, Pro, 4G) son los componentes de mayor costo y mayor rotación (RMA, actualización, forense). En zócalos hembra se colocan *después* del PCBA, se intercambian en campo y nunca aparecen en el BOM de JLC. El costo es el riesgo geométrico de zócalo (que efectivamente nos cobró la errata E-J1 y el episodio H5 de separación de filas — §6, §5.7).
- **El Pro como escudo UNO** (MOD1, huella `Module:Arduino_UNO_R3`): usa la mecánica estándar del formato, deja las antenas (USB-C + 2 SMA) hacia el frente del gabinete, y solo expone los 4 pines de datos que importan (D0/D1 = UART1; D2/D8 = UART2) más 5 V/IOREF/GND. Todo lo demás se deja **sin conectar** por indicación expresa de ArduSimple (no conectar pines especiales no usados).
- **El módem en zócalo XBee propio** (J7/J8, 2.00 mm, filas a 22.35 mm): saca el módem del zócalo del Pro (que debe quedar vacío para no sentarse sobre UART2) y lo pone bajo control del riel conmutable `3V3_MODEM`. El puerto USB-C J9 permite re-firmware del módem *in situ* (V_USB solo desde la laptop — sin retroalimentar rieles), con botón de reset SW4G1 y LED de actividad (D4G1).
- **LTC4040 y no un cargador genérico**: es un *battery-backup manager* 1S (buck-cargador + ruta de potencia + boost de respaldo 2.5 A + NTC de celda propio), lo que resuelve en un solo dispositivo

la falla #1 del RCA con dos capas de defensa: el NTC de la celda pertenece *al cargador* (guarda por hardware aunque el MCU muera) y el MCU corta la carga por temperatura vía `CHRG_EN` (PA8). Voltaje de carga estrapado a **4.00 V** (JP2/3/4 a `VSYS`, no a 3V3, para que la química sobreviva a un MCU ausente): ∼3× la vida de ciclos vs 4.2 V y más amable con celda caliente; $LiFePO_4$ futuro = re-estrapar F2. Alternativas rechazadas: supercap (solo «último aliento»), BQ24074+boost (sin ruta $LiFePO_4$, carga lineal = calor).

- **Ignición cruda al conector** (el DFR1015 se eliminó antes de fabricar — auditoría H3): GX16 pin 3 lleva la ignición de máquina 12–24 V directa a un divisor **`Rig1`** 22 k / **`Rigb1`** 10 k con clamp D5 BAT54 a 3V3 + C9 100 nF → PA5 digital (`INPUT_PULLDOWN`). Menos partes activas, tolera 12 y 24 V, y elimina el riesgo de que 24 V llegaran a un clamp de 5 V. **Implicación de arnés**: pin 3 del GX16 = ignición *cruda*, no 5 V preacondicionados; el retorno de ignición comparte el GND común (GX16 pin 2).

5.3 Bloque B en números — dimensionamiento LTC4040 (paquete 1S4P ∼12 Ah)

Parámetro	Valor	Componentes	Dimensionamiento (ADI 4040fb)
Corriente de carga	2.42 A ≈ C/5	R50 = RPROG 825 Ω 1 %	$I_{CHG} = 2000/R_{PROG}$
Límite de entrada	3.1 A	RS1 = 8 mΩ 1 % (1206)	$25\,\text{mV}/R_S$; protege la SD-15B-05 (3 A): la carga cede primero, la carga útil tiene prioridad
Umbral PFI	**V3**: 4.60 V caída (≈4.72 V rec.)	R51 287k / R52 100k desde `VEH5V`	$1.19\,\text{V} \cdot (1 + R_1/R_2)$; **V4** lo baja a **4.40 V** (errata E-PFI: R51→270k)
Voltaje de respaldo	4.79 V (RST $-7.5\,\% \approx 4.43$ V)	R53 499k / R54 100k	divisor único compartido BSTFB=RSTFB (avalado por hoja de datos)
Voltaje de carga	**4.00 V Li-ion**	JP2/JP3/JP4 → F2=1, F1=0, F0=1 (straps a `VSYS`)	química sobrevive MCU ausente; $LiFePO_4$ = re-strap F2
Inductor	2.2 µH, $I_{sat} \geq 8$ A	L6 (SRU8028)	boost NMOS ILIM 5.5–7.5 A; cobre del nodo SW mínimo
Retención VSYS	104 µF ≥ 100 µF mín.	C32/C33 47 µF 1210 + C34 10 µF	transición a respaldo
NTC de celda	propiedad del cargador	RT1 en la celda vía P4.3; R55 10 k polarización	la carga queda cualificada por temperatura con el MCU muerto
CHGOFF	`CHRG_EN` (PA8) + 100 k a GND	R56	MCU ausente ⇒ carga habilitada (el NTC sigue guardando); MCU corta con celda caliente
CHRG / FAULT	PB3 / PB4	pull-ups 100 k a 3V3 (R57/R58)	colectores abiertos; LOW = cargando (>C/8) / falla NTC-batería
BSTOFF / OVSNS / RST	GND / corto a VIN / abierto	—	respaldo siempre armado; OVP sin uso (entrada = SD-15B regulada); el Blackpill trae su propio supervisor

Nota del temporizador de seguridad: recargar 12 Ah a 2.42 A (≈5 h) excede el temporizador interno del LTC4040 — el firmware v3.0 reinicia el ciclo con un pulso en `CHRG_EN` cuando hay energía, la celda está fría y `BAT_SENSE` es bajo (§8.5).

5.4 Distribución de pines — zócalos Blackpill J1/J2 (netlist verificada)

Convención: J1 aloja la fila del módulo que arranca en VBAT (extremo opuesto al USB del módulo); J2 la fila que arranca en PB12 (extremo USB). SWD (PA13/PA14) **no** está en los zócalos — flasheo por USB-C DFU (BOOT0), diagnóstico por log USB CDC. **Advertencia E-J1 (solo V3)**: en la tarjeta física ambos zócalos numeran desde el mismo extremo, por lo que **al sentar un módulo J1 queda invertido extremo-por-extremo** (J2 es correcto). La tabla documenta la *intención eléctrica* del netlist; el efecto físico y su mitigación están en §6.1. En **V4** esta tabla aplica ya sin asterisco: los pads de J1 fueron renumerados.

Zóc.	Pin MCU	Net V3	Grupo	Función / notas
J1.1–4	VBAT · PC13 · PC14 · PC15	—	—	Sin conectar (VBAT jamás se alimenta del riel; PC13 = LED del módulo)
J1.5	NRST	`NRST`	Reset	SW1 a bordo + P10 externo, ambos a GND
J1.6	PA0	`BAT_SENSE`	ADC	Voltaje del paquete ÷2 (R5/R6) — alimenta la lógica del medidor
J1.7	PA1	`PWR_CTRL`	Control	Habilita el stack RTK vía Q5→Q1; HIGH = encendido; pull-up de compuerta = apagado por defecto (invariante #1)
J1.8	PA2	`GNSS_TX`	UART	USART2 TX → MOD1 D1 (F9P UART1 RX)
J1.9	PA3	`GNSS_RX`	UART	USART2 RX ← MOD1 D0 (F9P UART1 TX) — NMEA
J1.10	PA4	`5V_SENSE`	ADC	5 V de vehículo presente, ÷2 desde `VEH5V` (lado vehículo — Bloque F)
J1.11	PA5	`IGN_SENSE`	Ignición	**Digital** `INPUT_PULLDOWN`; 12–24 V crudos → 22k/10k + clamp BAT54 + 100 nF
J1.12	PA6	`FAN_PWM`	PWM	TIM3_CH1, 25 kHz → Q2 lado bajo
J1.13	PA7	—	Reserva	Canal LM35 solo en protoboard; sin asignar en EinarBoard
J1.14	PB0	`EXT_LED`	GPIO	LED de estado lado bajo (Q4); LED de panel en P8
J1.15	PB1	`NTC_TEMP`	ADC	ADC1_IN9, NTC de punto caliente (R42 10 k 1 % + C24; sonda P12 en batería/módem); puede disparar el corte de carga
J1.16	PB2	—	Libre	(BOOT1 — irrelevante con BOOT0=0; en **V4** pasa a `ETH_INT`)
J1.17	PB10	`FAN_TACH`	DNP	Ventiladores de 2 hilos: tach sin uso; provisión DNP (pull-up 10 k no montado)
J1.18–20	3V3 · GND · 5V	`3V3` · `GND` · `SYS5V`	Potencia	**En V3, por E-J1, J1.20 (5 V) aterriza físicamente en VBAT del módulo — no energizar módulo sentado**
J2.1	PB12	`BATLED1`	GPIO	Medidor 25 % (330 Ω) — **V4**: `ETH_CS`
J2.2	PB13	`BATLED2`	GPIO	Medidor 50 % — **V4**: `ETH_SCK`
J2.3	PB14	`BATLED3`	GPIO	Medidor 75 % — **V4**: `ETH_MISO`
J2.4	PB15	`BATLED4`	GPIO	Medidor 100 % — **V4**: `ETH_MOSI`

Zóc.	Pin MCU	Net V3	Grupo	Función / notas
J2.5	PA8	CHRG_EN	Estado LTC	U6 CHGOFF; HIGH = carga APAGADA; pull-down 100 k = carga habilitada con MCU ausente. *El protoboard TP4056 es INVERTIDO (CHRG_RUN) — bandera de firmware*
J2.6	PA9	USART1_TX	UART/Modo B	→ K1 NO — inyección $PHLG con K1 energizado
J2.7	PA10	USART1_RX	UART/Modo B	← F9P TX2 (nodo K1 NC, MOD1 D8) — tap pasivo de monitoreo
J2.8–10	PA11 · PA12 · PA15	—	Libres	(PA15 en **V4**: ETH_RST)
J2.11	PB3	CHRG_STAT	Estado LTC	U6 CHRG colector abierto, 100 k↑3V3; LOW = cargando (>C/8)
J2.12	PB4	CHRG_FAULT	Estado LTC	U6 FAULT colector abierto, 100 k↑3V3; LOW = falla NTC / batería mala
J2.13	PB5	BYP_CTRL	Control relé	Driver de bobina K1 vía Q6 (mapa BEC — corrección H2); HIGH = MCU en línea en el uplink; desenergizado/ausente = NC = correcciones directas
J2.14	PB6	I2C_SCL	I²C	SHT40 (0x44) + TMP102 (0x48), pull-ups 4.7 k (R30/R31); puerto sonda P5
J2.15	PB7	I2C_SDA	I²C	(el protoboard usa AHT10 0x38 *solo* en el bus — la PCB no se afecta)
J2.16–17	PB8 · PB9	—	Libres	(PB8 en **V4**: SER_IRQ)
J2.18–20	5V · GND · 3V3	SYS5V · GND · 3V3	Potencia	El Blackpill vive del riel cortable SYS5V

5.5 Zócalo del Pro (MOD1) y zócalo XBee (J7/J8)

MOD1 (verificado contra un Pro físico el 2026-07-07 — cierre M3; serigrafía del módulo: D0=TX1, D1=RX1, D2=RX2, D8=TX2):

Pin escudo	Señal F9P	Net portadora	Rol
D0 (pad 15)	TX1 (out)	GNSS_RX → PA3	NMEA hacia el watchdog
D1 (pad 16)	RX1 (in)	GNSS_TX ← PA2	Comandos/encuesta del watchdog
D2 (pad 17)	RX2 (in)	DOUT_4G	**Downlink RTCM3 — directo del módem, nunca por el MCU**
D8 (pad 23)	TX2 (out)	USART1_RX (nodo K1.NC + tap PA10)	Fuente del uplink Modo B
5V (pad 5)	alimentación	SW_5V	Switch «5V=OUTPUT» del Pro: **OFF**
IOREF (pad 2)	referencia lógica	3V3	Define niveles TX/RX del Pro
GND (pads 6/7/29)	—	GND	
Todo lo demás (3V3_OUT, VIN, RESET, A0–A5, D3–D7, D9–D13, AREF, SDA, SCL): NC por indicación de ArduSimple.			

J7/J8 — J7 porta los pines 1–10 del módulo en orden; **J8 pad k = pin XBee** $(21-k)$ (espejo — el conocimiento tribal más peligroso de esta tarjeta hasta que se documentó; verificado contra el diagrama footprint-R00 de ArduSimple):

Pad	Pin XBee	Net	Rol
J7.1	1 VCC	3V3_MODEM	3.3–3.6 V, 2 A pico (riel U7 — **no** 5 V)
J7.2	2 TX/DOUT	DOUT_4G	RTCM3 out → F9P RX2 (directo)
J7.3	3 RX/DIN	DIN_4G	← K1 COM (uplink)
J7.4 / J7.10	4 / 10 GND	GND	
J7.5	5 RESET	MODEM_RST	Botón SW4G1 → GND (al aire = encendido)
J7.6	6 V_USB	USB_VBUS	5 V desde J9 habilitan el USB del módem (solo con laptop — sin retroalimentar rieles)
J7.7 / J7.8	7 USB+ / 8 USB−	USB_DP/USB_DM	USB de servicio a J9
J8.1	20 ON/$\overline{\text{OFF}}$	GND	**GND = siempre encendido** (flotado puede no arrancar jamás)
J8.6 / J8.10	15 / 11 GND	GND	
J8.7	14 VREF	3V3_MODEM	**Debe igualar VCC**
J8.8	13 LED	MODEM_LED	Salida de 1.8 V → Rmled1 1 k + D4G1 (tenue — aceptado, hallazgo L4)
J8.2–5 / J8.9	19–16 / 12	NC	CTS/RTS/DTR/etc. sin control de flujo

5.6 Conectores de arnés y puentes de soldadura

Resumen funcional; la referencia **pin a pin con todos los designators conectados** (netlist completa V3 y V4, incl. lado del arnés) está en el apéndice E.

Con.	Tipo	Función / pines (netlist)
P1	Phoenix 5 pos. 5.00 mm	Entrada GX16-5: 1=24V_IN · 2=GND · 3=IGN_IN (**cruda** 12–24 V) · 4–5 s/net. *El arnés une aquí el 24 V del gabinete; la SD-15B-05 interna se deriva del mismo 24 V/GND*
P2	JST-XH 2	1=VEH5V (de la SD-15B-05) · 2=GND — entrada de los 5 V de vehículo
P4	JST-XH 3	Batería: 1=BAT_PLUS · 2=GND · 3=NTC (termistor pegado a la celda; lo posee el cargador)
P5	JST-XH 4	Sonda I²C externa: 3V3 / GND / I2C_SDA / I2C_SCL
P6	JST-XH 4	Ventilador: 5V_FAN / FAN_RET / GND / FAN_TACH_RAW
P8	JST-XH 2	LED de panel: LED_A / LED_K
P10	JST-XH 2	Reset externo: NRST / GND
P11	JST-XH 2	Corte: 1=MAIN5V (entra) · 2=SYS5V (sale) — **puente instalado si no hay switch; P11 abierto = tarjeta muerta**
P12	JST-XH 2	NTC de punto caliente: NTC_TEMP / GND
P3 · P13 · H3	JST-XH 4 · JST-XH 3 · header 3	**DNP** en V3 — alternativas de arnés (UART1 del Pro / uplink Modo B / reserva USART1) obsoletas por los zócalos + K1; **V4** las **elimina** del diseño
J9	USB-C 16 p (GCT USB4085)	Puerto de servicio del módem: VBUS→J7.6, D± →J7.7/8, CC con RCC1/RCC2 5.1 k (UFP correcto)

Puente	Default	Función
JP1	ABIERTO	Riel alterno del ventilador: 5V_FAN↔VEH5V. Solo cerrar si se sobredimensiona la SD-15B-05; nunca al riel respaldado (drenaría el paquete)
JP2	1–2 (F2=1)	Strap F2 del LTC4040 a VSYS — parte del código de química
JP3	1–2 (F1=0)	Strap F1 a GND
JP4	1–2 (F0=1)	Strap F0 a VSYS ⇒ {F2,F1,F0}={1,0,1} = **Li-ion 4.00 V**

5.7 Auditoría pre-fabricación (2026-07-06) — qué detuvo la orden y qué se verificó

La orden se **bloqueó** con 4 hallazgos HIGH — tres de ellos «asesinos silenciosos» que habrían pasado banco y fallado en el momento crítico — todos corregidos y re-verificados el 2026-07-07 (ERC 0 / DRC 0):

ID	Hallazgo	Consecuencia evitada / corrección
H1	Q7 (FET de paso del LTC4040) invertido: S en `MAIN5V`, D en `VIN_SW`	El diodo de cuerpo retroalimentaba el boost de respaldo al riel de vehículo muerto: el respaldo colapsaba *exactamente cuando se necesitaba*. Corregido S=`VIN_SW`/D=`MAIN5V` en esquema y cobre
H2	Q5/Q6 con símbolo `Q_NPN_BCE` sobre MMBT3904 (físicamente B-E-C): C/E intercambiados	Q6 no podía hundir los 30 mA de la bobina ⇒ Modo B muerto (el NC salvaba las correcciones); Q5 marginal en activa-inversa. Corregido a `Q_NPN_BEC` + pads re-ruteados
H3	`Rig` = 100 Ω en PCB y BOMs (residuo de la topología DFR1015) vs 22 k del esquema; + pin colgado en el esquema	Con 100 Ω y 24 V de ignición: ∼200 mA por el clamp BAT54 (∼0.5 W en un 0603) — D5 y Rig quemados, sensado muerto, PA5 en riesgo. Corregido a 22 k en las tres fuentes; el cable ahora termina en el pin
H4	`SW_IN` (F1→Q1, toda la corriente del stack) ruteada íntegra a 0.2 mm — ausente de los patrones de netclass	Caída/calentamiento en la alimentación del stack (∼1.2 A continuos, 3 A+ en ride-through del PPTC). Reclasificada a PWR_MID y re-ruteada a 1.0 mm (19 segmentos)

El episodio **H5** (separación de filas J1–J2) merece registro: primero se detectó que las filas estaban un paso de retícula demasiado separadas (17.78 mm vs el módulo real) — la orden se **retractó** ya pagada y se corrigió moviendo J2; después la decisión final del propietario fijó 15.03 mm contra el disenso del auditor (15.24 mm), con mitigación obligatoria: **soldar los zócalos con el módulo insertado como escantillón**. **H6** (MOD1 «volteado a B.Cu») resultó *falsa alarma* — validado con impresión 1:1 y el Pro físico; lección de auditoría: para geometría de huellas en cara posterior confiar en IPC-D-356/gerbers/STEP y prueba física 1:1, nunca en una transformación espejo derivada a mano. De ahí la regla permanente: **prueba de papel 1:1 de todos los zócalos con módulos reales antes de cualquier orden**.

Entre lo **verificado-bueno** con evidencia (no «vibras»): interruptor de carga apagado por defecto (invariante #1) con MCU ausente; mapa K1 contra hoja Omron; cadena de corte P11 mata MCU+stack+módem; bloque LTC4040 pin por pin (incluidos los F-straps decodificando exactamente 4.00 V); USB-C UFP correcto; frente de 24 V; ambos bucks MP1584; sensores I^2C con ADD0 de TMP102 a GND (=0x48); plano GND único en In1.

5.8 Esquemático y capas (V3)

El esquemático completo tal-como-se-fabricó (hoja A2, rev. 1.1) y los planos de cobre por capa se reproducen en los apéndices A y B, exportados en fresco (2026-08-07) del proyecto congelado. Recordatorio de proceso: en este proyecto la sincronización esquema↔tarjeta es **manual** (F8 quedó retirado tras el incidente de duplicación de refdes) — un cambio de esquema *no* sigue solo a la tarjeta.

6 Retroalimentación de campo y erratas de V3 (registro franco)

Esta sección existe porque el banco y el servicio nos enseñaron tres cosas que ninguna auditoría de escritorio atrapó. Las tres están **corregidas de raíz en V4** (§7.6); mientras existan tarjetas 1.0 en banco

o piloto, las mitigaciones descritas aquí son obligatorias.

6.1 E-J1 — el zócalo J1 del Blackpill quedó espejado (2026-07-24, probado por netlist)

El defecto. En el `.kicad_pcb` fabricado, el pad 1 de J1 *y* el pad 1 de J2 quedaron en el mismo extremo físico (ambas filas numeran 1→20 en la misma dirección), pero los dos encabezados del Blackpill numeran desde extremos *opuestos* (fila derecha: VBAT lejos del USB; fila izquierda: PB12 en el extremo USB). Con el módulo sentado de la única manera mecánicamente posible, **J2 mapea 100 % correcto y J1 queda invertido extremo-por-extremo**: el pin del zócalo J1.k aterriza en el pin $21-k$ del módulo. Todo el silicio «nuevo de producción» (CHRG_*, BYP/K1, I²C, USART1, medidor) vive en J2 — intacto; lo que se voltea es el bloque histórico de J1 (ADC, ignición, UART GNSS, LED, NTC, 3V3/GND/5V).

La huella digital del síntoma (banco, confirmada): LED azul del módulo fijo (J1.19 GND cae en PC13), el stack jamás enciende (`PWR_CTRL` sin manejar), telemetría `ign=1 veh=0 vbat≈3.3 rx=0` y bucle de ciclos por silencio NMEA. **J1.20 (`SYS5V`) aterriza en VBAT — 5 V en un pin de máximo ∼3.6 V: nunca energizar un módulo sentado de forma normal en una V3.** Las pistas del GNSS caen en PA6/PA7 (sin USART) ⇒ **no existe parche de software**.

Implicación de flota. Toda EinarBoard 1.0 ensamblada porta el defecto ⇒ **ninguna unidad 1.0 en campo ha estado supervisando realmente**. El registro de flota debe asumirlo (incluida la autopsia del incidente E-CLR).

Mitigación de banco elegida (mantiene el firmware *stock*): módulo fuera del zócalo (o elevado sobre J2) + **crossover Dupont** en J1 — 5→NRST · 6→A0 · 7→A1 · 8→A2 · 9→A3 · 10→A4 · 11→A5 · 12→A6 · 14→B0 · 15→B1 · 18→3V3 · 19→GND · 20→5V; pads 1–4/13/16 NC; 17 se omite (ventilador de 2 hilos); **VBAT/PC13/PC14/PC15 no conectan nada**. J2 va derecho pad n → pin n. Leo construyó este arnés como «adaptador inversor» — es el que mantiene vivas las 1.0 de banco. (Se diseñó también un híbrido con bandera `BOARD_J1_MIRRORED` en firmware — 6 pines remapeados + 3 puentes — y se descartó para no bifurcar el firmware.)

Causa raíz de que fuera invisible: la serigrafía se generó *del netlist*, así que «se veía bien» — el error es la dirección de numeración del zócalo contra el módulo, no las etiquetas. Regla nueva de checklist pre-fab: **ajuste en seco / continuidad de un Blackpill real contra ambas filas**.

6.2 E-CLR — corto destructivo por holgura interna de 24 V (unidad muerta en servicio, 2026-07-23)

El evento. Una unidad operando murió con `VEH5V` y `MAIN5V` en corto franco a GND; con 1 V/1 A inyectados en P2 el único componente que calienta es Q10 (frente de 24 V).

El hallazgo de layout (parseo del `.kicad_pcb` fabricado): `/24V_IN` corre de P1 a Q10/D10 por **In2.Cu** a 1.0 mm de ancho con **holguras de borde de 0.202–0.25 mm** contra pistas de `MAIN5V` (1.5 mm, bajo la fila Q7/U6; peor caso 0.202 mm) y contra `VEH5V` cerca de RS1 — más pares In2 `VEH5V`↔`IGN_IN` y `VEH5V`↔`I2C_SDA` a 0.2 mm. Hipótesis de trabajo: **puente en capa interna** 24 V→5 V (defecto de fabricación dentro de la holgura mínima); si la unidad llegó a operar con 24 V reales en P1, los 24 V alcanzaron el sistema de 5 V y mataron colateral (U6/Q7 y los capacitores de 6.3 V C32–C34 son los sospechosos).

Prueba de decisión (barata, sin abrir nada): continuidad **P2.1↔P1.1** (`VEH5V`↔`24V_IN`) y **P11.1↔P1.1** (`MAIN5V`↔`24V_IN`) — en tarjeta sana ambas deben estar **ABIERTAS**. Un bip = puente interno = tarjeta chatarra (no retrabajable). Esta medición es ahora **prueba de recepción obligatoria de flota** para toda 1.0.

Por qué pasó: las netclasses PWR_HI/PWR_MID gobernaban *anchos*, pero no existía regla de *holgura* específica para 24 V contra baja tensión — y los patrones de netclass, escritos sin el prefijo «/», plausiblemente nunca casaron, dejando esos pares a la holgura default de 0.2 mm. Correcciones

estructurales (aplicadas en V4): netclass `HV24` (`/24V_IN`, `24V`, `IGN_IN`, `Q10_GATE`) con **regla de holgura de 0.5 mm** verificada por DRC, y preferencia por capas externas para el cobre de 24 V.

6.3 E-PFI — «hipo» del riel del módem en banco sin batería (2026-07-24, causa confirmada)

El síntoma: el 4G NTRIP Master operaba perfecto en el zócalo del ArduSimple pero en el zócalo XBee de la tarjeta parpadeaba tenue y jamás arrancaba.

La causa (confirmada por prueba — arranca a 5.4 V de entrada): las ráfagas de arranque/LTE del módem (∼1–1.5 A) hunden `VEH5V` a través de puntas de banco + RS1 + P11 + Q1; al cruzar el **umbral PFI de caída de 4.60 V** el LTC4040 desconecta la entrada para conmutar a respaldo — sin batería en el banco, `VSYS` colapsa y el ciclo se repite (bucle de hipo). No es falla de hardware: el Bloque K y J7 se verificaron pin-exactos contra la tarjeta fabricada (U7 correcto, R60/R61 → 3.33 V, J7.1 = `3V3_MODEM`).

Reglas derivadas — banco: trabajo de módem a **5.2–5.4 V** de entrada (máximo operativo del LTC4040: 5.5 V — nunca arriba de 5.4) *o* con el paquete 1S4P conectado (absorber estos huecos es exactamente su trabajo); campo/instalación: ajustar el potenciómetro de la SD-15B-05 a ∼**5.2 V**; respin: bajar el umbral PFI — **hecho en V4** (R51 287k→270k ⇒ disparo ≈4.40 V) más **C78 220 µF/10 V** de amortiguamiento en `VEH5V` junto a P2/RS1.

6.4 Verdad del arnés 1.0 (supersede notas previas) y otras lecciones

- **P1 = entrada de 24 V que alimenta solo el buck del ventilador**; P2 = los 5 V de la SD-15B-05 (que vive dentro del HBOX, derivada del mismo GX16 por Y-splice o doble ferrule en P1.1/P1.2). La ignición **no tiene retorno dedicado**: regresa por el GND común — el positivo de ignición de la máquina debe referenciarse al mismo bus negativo del gabinete.
- **El DFR1015 no existe en la tarjeta** (se removió pre-fab, H3). Checklist de ensamble: **`Rig1` debe ser 22 k** — un 100 Ω viejo quema el clamp a 24 V.
- **Confusiones de banco que no eran hardware**: LEDs del medidor apagados = firmware v2.3 jamás maneja PB12–15 (hallazgo F3, §8.4); ventilador quieto en banco frío = correcto (la curva arranca a 45–48 °C). La auto-prueba de encendido de v3.0 (caminata de LEDs + giro de ventilador) existe para matar esta ambigüedad en la línea de ensamble.
- **Lecciones de proceso EDA** (vigentes): F8/«Update PCB from Schematic» retirado en este proyecto; ediciones estructurales a archivo con KiCad *cerrado* y verificación por parseo independiente; el backend swig del KiCad-MCP no es confiable para mutaciones de tarjeta (cortos fantasma, nets caídos) — sí para inspección de solo lectura; los DSN que exporta están rotos para FreeRouting (usar el exportador nativo de KiCad); prueba 1:1 en papel de todo zócalo contra el módulo real.

7 EinarBoard V4 — `hbox-watchdog-v4` (EinarBoard 2.0)

7.1 Identidad, objetivos y decisiones bloqueadas

Versionado (decisión del 2026-07-28): la tarjeta de nueva generación se llama **HBOX v4 / EinarBoard 2.0**; el proyecto vivo es `kicad/hbox-watchdog-v4.*` (rev. de cuadro de título 2.0; serigrafía *EiNARBoard 2.0 · HBOX v4 — 2026-07*). El brief de diseño del 2026-07-24 sigue diciendo «EinarBoard 1.1» — léase v4. V4 tiene dos mandatos: **(a)** cerrar de raíz las tres erratas de V3, y **(b)** incorporar las capacidades de integración comprometidas con el cliente, decididas y bloqueadas el 2026-07-24:

Tema	Decisión bloqueada
Serial de cliente	**RS-485/Modbus RTU y RS-232/TTL** — un solo puente dual SC16IS752 sirve ambos (canal A auto-RS485, canal B MAX3232 + header TTL)
Ethernet	**W5500 a bordo + MagJack** (TCP/IP por hardware, 8 sockets), sobre SPI2
Indicadores	**1 LED RGB de estado** externo (estados codificados por color), manejado por expansor
Contorno	**Crecer lo necesario** — caja/placa ASA se reimprime alrededor del nuevo contorno

Parámetro	Valor (proyecto al 2026-08-04)
Dimensiones	155×100 **mm** (+20 mm sobre V3, lado derecho) · barrenos M3: MH2, MH4 conservados + MH5, MH6 reubicados a las nuevas esquinas
Complejidad	**188 huellas** (+70 refs nuevas sobre V3) · 4 capas (mismo apilado F/In1-GND/In2/B) · TG150 · 1.6 mm · ENIG
Ruteo	FreeRouting importado a nivel de archivo (1773 seg / 232 vías, 135 nets) + terminado a mano (20 abiertos cerrados, +179 seg/+29 vías) + costura GND (+88 vías) + vertidos exteriores
Verificación	ERC **0 errores** (Fase A, 28-jul) · DRC **0 errores eléctricos / 0 pads sin conectar** (los 3 errores DRC de KiCad 10 y la isla GND varada se limpiaron en fases C12–C13); reporte del 01-ago: 70 avisos cosméticos (63 `lib_footprint_mismatch` + 4 `lib_footprint_issues` + 3 de serigrafía)
Netclasses	Las de V3 + `HV24` **con regla de holgura 0.5 mm** (fase C14: regla por netclass + correcciones de cobre para satisfacerla)
Fabricación	Paquete `production/HBOX_v4_PROD/` (gerbers 4L + taladros) + `HBOX_v4_PROD_bom.csv` (101 líneas agrupadas, LCSC pineados) + CPL — liberado 2026-08-01 (commit *«v4 production package for JLCPCB: gerbers, BOM, CPL + audit»*); orden JLCPCB lote **Y5** preparada 2–3 de agosto (`HBOX_v4_PROD_Y5.zip` + orden de ensamble)

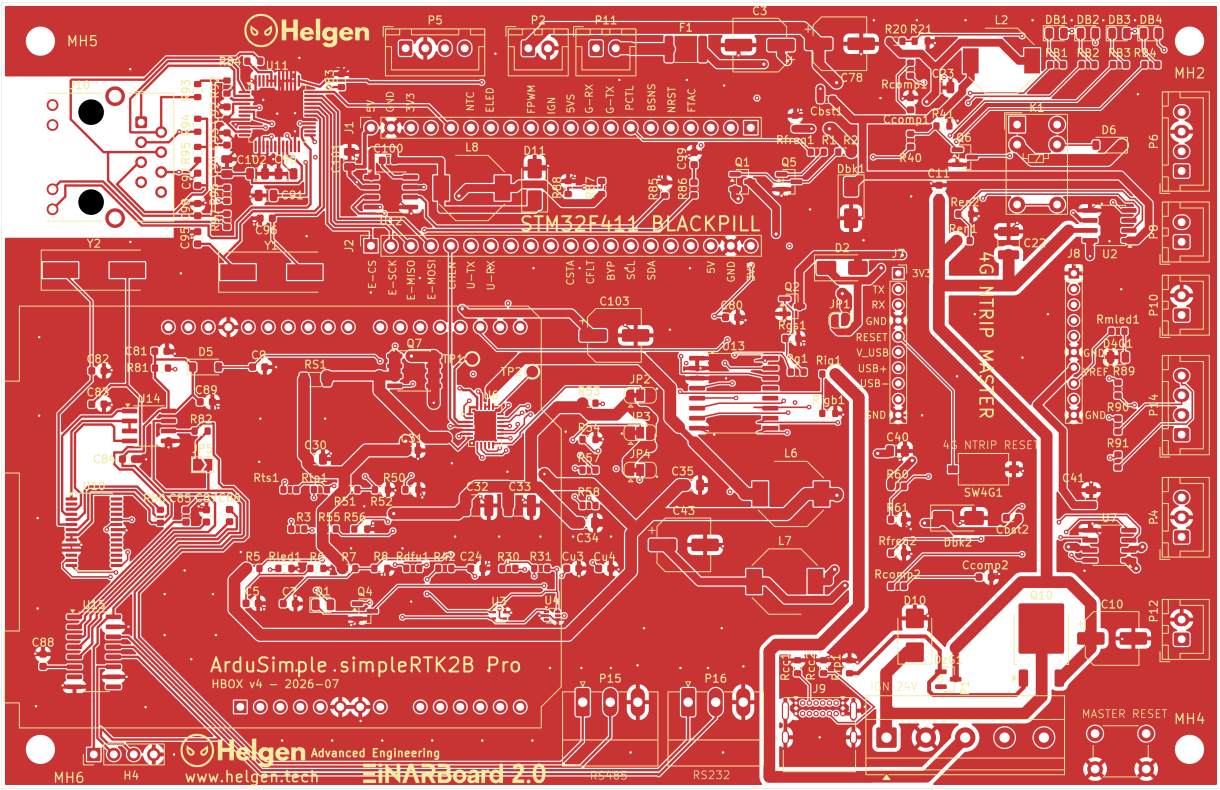


Figura 2: V4 — vista superior. Nótese la esquina Ethernet (J10 RJ45 + U11 W5500 + Y1) arriba a la izquierda, el bloque serial (U10/U14/U15, Y2) con P15 (RS485) y P16 (RS232) al borde inferior, P14 (RGB) al borde derecho, y la fila de etiquetas de serigrafía *regenerada* de J1/J2 (`E-CS/E-SCK/E-MISO/E-MOSI`, `CHEN`, `U-TX/U-RX`, `CSTA/CFLT/BYP/SCL/SDA`…).

7.2 La jugada arquitectónica clave (léase antes de tocar nada)

El F411 no tiene tercer USART, ni CAN, ni MAC Ethernet, y la 1.0 dejó ∼6 GPIO libres. Todo lo nuevo cuelga de dos buses que ya existían:

La palanca

Mover el medidor de batería (PB12–15) a un expansor I²C ⇒ SPI2 queda libre ⇒ el W5500 monta SPI2 ⇒ el serial de cliente monta el bus I²C vía SC16IS752 ⇒ el RGB monta el mismo expansor. Resultado neto: entran las tres capacidades *y el número de pines libres sube*.

Pin	Uso en V3	Uso en V4	Nota
PB12	BATLED1	ETH_CS (SPI2 $\overline{\text{CS}}$)	medidor → PCF8574 P0
PB13/14/15	BATLED2–4	ETH_SCK / ETH_MISO / ETH_MOSI	SPI2 completo al W5500
PA15 (libre)	—	ETH_RST	reset del W5500
PB2 (libre)	—	ETH_INT	INT del W5500 (BOOT1: irrelevante con BOOT0=0 — no se estrapa)
PB8 (libre)	—	SER_IRQ	IRQ del SC16IS752 (pull-up 10 k)
PA7 · PB9 · PB10 · PC14 · PC15	libres/DNP	siguen libres	reserva; PB10 conserva la provisión DNP de tach
BATLED1–4 · RGB	PB12–15 / n.a.	**PCF8574 P0–P3 (medidor) · P4–P6 (RGB) · P7 libre**	LEDs común-ánodo, el expansor hunde

Roster I²C1 (PB6/PB7, pull-ups 4.7 k; 4 dispositivos @100 kHz — bajar a 2.2 k solo si el tiempo de subida lo pide en banco):

Dispositivo	Dirección	Ref	Bloque	Nota
SHT40	0x44	U3	térmico	temperatura + humedad de aire
TMP102	0x48	U4	térmico	sonda batería/módem (ADD0 a GND)
PCF8574	0x20	U13	O	A2=A1=A0 a GND (verificado en netlist)
SC16IS752	**0x4D**	U10	M	A1/SI=GND, A0/CS=GND, modo I²C (pin 9 a 3V3) — **estrapado LEJOS de 0x48**: el rango del SC16IS752 (0x48–0x57) colisionaría con el TMP102 en default. Verificado en netlist 2026-08-07: resuelto

7.3 Bloque M — serial de cliente (SC16IS752 + SP3485 + MAX3232)

U10 SC16IS752IPW (TSSOP-28, UART dual sobre I²C): cristal **Y2 1.8432 MHz** + 2×22 pF (C82/C83) ⇒ bauds estándar hasta 115200; SER_RSTn con pull-up R80 10 k; SER_IRQ → PB8 con pull-up R81 10 k. Conexiones verificadas por netlist (2026-08-07):

- **Canal A → RS-485 semidúplex** (U14 **SP3485EN**): TXA→DI, RXA←RO, y — la elegancia del bloque — $\overline{\text{RTSA}}$ **(pin 1) maneja DE y** $\overline{\text{RE}}$ **juntos** (SER_DEA): el modo auto-RS485 del SC16IS752 conmuta la dirección *en hardware*, sin GPIO ni latencia de firmware (configurar EFCR con la inversión que pida la polaridad). A/B/GND en **P15** (Phoenix 3.5 mm); **terminación 120 Ω** (R82) tras el puente **JP5** (**DNP/abierto por default** — solo el nodo terminal del bus la cierra).
- **Canal B → RS-232** (U15 **MAX3232**, canal 1): TXB→T1IN, RXB←R1OUT; niveles RS-232 en **P16** (Phoenix 3.5 mm: TX/RX/GND). Canal 2 del MAX3232 sin uso con entradas aterrizadas (T2IN/R2IN a GND — práctica correcta). En paralelo, el header **H4** expone el mismo canal a **niveles TTL 3V3** (1=3V3 · 2=SER_TXB · 3=SER_RXB · 4=GND) para el caso «UART plano». **Advertencia de la hoja del esquema: no usar RS-232 y TTL simultáneamente** — es el mismo canal B.
- **Firmware**: driver SC16IS752 + **esclavo Modbus RTU** exponiendo los registros de telemetría (estado, enlace, fix, satélites, vbat, v5v, temperaturas, carga, banderas de falla, uptime, versión) — el mapa formal de registros **requiere firma del cliente** antes de congelar v3.1; modo NMEA-out opcional en cualquiera de los canales. Previsión de crecimiento: los GPIO0–7 del propio SC16IS752 quedan sin conectar (disponibles en un respin si hicieran falta).

7.4 Bloque N — Ethernet (W5500 + MagJack) y su riel dedicado

U11 W5500 (LQFP-48; TCP/IP endurecido por hardware, 8 sockets): SPI2 a ≤25 MHz (`ETH_SCK/MISO/MOSI` = PB13/14/15, `ETH_CS` = PB12), `ETH_RST`→PA15, `ETH_INT`→PB2. Cristal **Y1 25 MHz** + 2×18 pF (C95/C96); RSET de precisión **R83 12.4 k 1 %** (pin EXRES1); TOCAP y 1V2O con sus capacitores; **PMODE0–2 los tres al net `ETH_PMODE` con pull-up R84 10 k ⇒ modo «111» = autonegociación todas-las-capacidades**. Del lado de magnetismos: **J10 MagJack HR911105A** (magnetismos + LEDs integrados; LINK en pines 9/10, ACT en 11/12 con R96/R97 330 Ω), terminación tipo Bob-Smith **4×49.9** Ω (R92–R95) + **C97 6.8 nF** al plano, pares TX/RX cortos y lejos de los conmutadores.

Riel `3V3_ETH` — U12 (tercer MP1584EN, receta idéntica al Bloque K: L8 10 µH, D11 SS34, FB → 3.33 V, red de compensación R86/C99) alimentado de `SYS5V`. La decisión importa: *no* de `3V3_MODEM` (Ethernet debe **sobrevivir los ciclos de energía del stack**: es la ruta por la que el watchdog reporta *durante* una recuperación) y *no* del LDO del módulo (los ∼132 mA del W5500 cocinarían su presupuesto). Presupuesto del riel: 500 mA. Sanidad de corriente del sistema: +132 mA (W5500) + ∼5 mA (M/O) ≈ +0.1 A en `SYS5V` — la SD-15B-05 (3 A) y el límite SYSLIM del LTC4040 (3.1 A) conservan margen; autonomía de respaldo con Ethernet arriba ≈ 12 Ah / ∼0.5 A ≈ 24 h.

Verificaciones pendientes de Bloque N (anotadas en la propia hoja del esquema; gate antes de soltar la siguiente orden si algo cambia): contraste contra el diseño de referencia W5500 v1.1.0 — RSVD23=GND / RSVD38–42 abiertos / VBG abierto (así está el netlist: correcto), valores TOCAP/1V2O, terminación del MagJack y el pinout de LEDs del HR911105A (9–12).

7.5 Bloque O — expansor de E/S e indicadores

U13 PCF8574 @0x20 en I²C1. Los LEDs se cablean **común-ánodo a 3V3 y el expansor hunde** a través de las resistencias (el PCF8574 hunde 25 mA/pin pero apenas entrega — salidas activas-bajas): P0–P3 → `BATLED1-4` (los mismos LEDs DB1–4/RB1–4 de la tarjeta, re-cableados desde PB12–15); P4–P6 → `RGB_R/G/B` → R89/R90/R91 330 Ω → **P14** (JST-XH 4: 1=3V3 común · 2/3/4 = cátodos R/G/B) para el LED RGB común-ánodo del gabinete — un solo barreno en la caja; P7 libre (buzzer/4.º LED futuro); $\overline{\texttt{INT}}$ sin conectar (encuesta ≤1 Hz sobra). **P8 se conserva** como indicador de respaldo cableado en duro (PB0/`EXT_LED` sigue vivo aunque muera el I²C).

Mapa de colores propuesto (firmware v3.1; la tabla exacta va al manual de operador es-MX): VERDE fijo = RTK OK · VERDE parpadeo = buscando/SPS · AMARILLO fijo = batería baja · AMARILLO parpadeo = degradado/limp · ROJO fijo = falla (CHRG_FAULT/térmica/ventilador) · ROJO parpadeo = ciclo de recuperación · AZUL = arranque.

7.6 Correcciones heredadas de V3 incorporadas

Errata	Corrección en V4	Evidencia en el proyecto
E-J1	Zócalo J1 con pads **renumerados extremo-por-extremo** (las filas ahora cuentan en direcciones opuestas, como el módulo)	Huella propia `Drogheda:PinSocket_1x20_P2.54mm_Vertical_RevNum_EJ1` (a prueba de «update from library»); 11 nets del canal J1 re-ruteadas; **fila de etiquetas de serigrafía regenerada** (fig. 2); verificación doble por netlist
E-CLR	Netclass `HV24` (0.5 mm) sobre `/24V_IN`, `24V`, `IGN_IN`, `Q10_GATE` + re-ruteo para satisfacerla	Fase C14 (*netclass-scoped HV24 rule at 0.5 mm + copper fixes*); DRC limpio con la regla activa
E-PFI	Umbral PFI **4.40 V** de caída + amortiguamiento	R51 = **270 k 1 %** (era 287 k) · **C78 220 µF/10 V** en `VEH5V` junto a P2/RS1
Serigrafía	Barrido completo	Flecha USB + puntos de pin 1 en J1/J2; P11 «1=MAIN5V IN / 2=SYS5V OUT»; P2 «5V VEH IN»; marcas de bloque
Depuración	**P3, P13 y H3 eliminados** del diseño (ya no DNP)	Obsoletos por zócalos + Modo B permanente; se conservan J7-USB (config del módem), PB10 DNP, P10, P11 (+puente), P12

7.7 Cambio de detalle: divisor de ignición — y una observación abierta

V4 cambia **`Rigb1`** de 10 k a **3.3 k** (divisor de ignición 22 k/3.3 k). El efecto en máquinas de **24 V**: el nodo queda en $24 \cdot \frac{3.3}{25.3} \approx 3.1$ V — HIGH sólido *sin* conducción permanente del clamp D5 (en V3, 22 k/10 k entregaban 7.5 V nominales y el clamp conducía ∼0.9 mA de continuo; ahora el clamp queda de respaldo). **Observación O-1**: en máquinas de **12 V** (Tractoplana y Montacargas existen en la flota ICAVE) el mismo divisor entrega ≈1.56 V, por debajo del $V_{IH(min)} \approx 0.45\,V_{DD} + 0.3 \approx 1.78$ V del STM32F411 (y el pulldown interno de `INPUT_PULLDOWN` lo empeora marginalmente) — **la ignición podría no registrarse nunca en unidades de 12 V**, cuya consecuencia funcional es quedarse en cadencia 30 s (el modo 1 Hz exige `ignitionOn`). Recomendación antes del despliegue en máquinas de 12 V: validar en banco con 12.0 V reales y, de fallar, subir **`Rigb1`** a ∼6.8 k (12 V → 2.83 V ✓; 24 V → 5.67 V, clamp ∼0.6 mA — aceptable) o definir variante de arnés. Registrada en §10.

7.8 Distribución de pines V4 — solo los deltas contra V3

La tabla completa de §5.4 sigue válida para V4 *excepto* por estas posiciones (netlist `hbox-watchdog-v4` del 2026-08-07); el resto de zócalos, conectores heredados y puentes son idénticos:

Zóc.	Pin MCU	Net V3	Net V4	Función V4
J1.16	PB2	—	`ETH_INT`	interrupción W5500 (U11.36)
J2.1	PB12	`BATLED1`	`ETH_CS`	$\overline{\text{CS}}$ SPI2 del W5500
J2.2	PB13	`BATLED2`	`ETH_SCK`	SCLK SPI2
J2.3	PB14	`BATLED3`	`ETH_MISO`	MISO SPI2
J2.4	PB15	`BATLED4`	`ETH_MOSI`	MOSI SPI2
J2.10	PA15	—	`ETH_RST`	$\overline{\text{RST}}$ W5500 (pull-up 10 k)
J2.16	PB8	—	`SER_IRQ`	$\overline{\text{IRQ}}$ SC16IS752 (pull-up 10 k)

Además, la numeración *física* de J1 queda corregida (E-J1): en V4 el pad n de J1 sí recibe el pin n de la fila VBAT del módulo — sin crossover, sin adaptador.

7.9 Conectores nuevos de V4

(Detalle pin a pin con designators: apéndice E, §E.3.)

Con.	Tipo	Función / pines (netlist)
J10	RJ45 MagJack HR911105A	Ethernet 10/100: TX± (1/2), RX± (3/6), tap central a `3V3_ETH` (4), `ETH_RCT` (5), LEDs LINK 9/10 · ACT 11/12, blindaje a GND
P15	Phoenix MC 3 pos. 3.5 mm	RS-485: 1=`RS485_A` · 2=`RS485_B` · 3=GND; terminación 120 Ω vía JP5 (abierto default)
P16	Phoenix MC 3 pos. 3.5 mm	RS-232: 1=`RS232_TX` · 2=`RS232_RX` · 3=GND (niveles RS-232 reales, MAX3232)
H4	Header 1×4 2.54 mm	TTL del canal B: 1=3V3 · 2=`SER_TXB` · 3=`SER_RXB` · 4=GND — **no usar junto con P16**
P14	JST-XH 4	LED RGB externo común-ánodo: 1=3V3 · 2=`RGBR_K` · 3=`RGBG_K` · 4=`RGBB_K`
JP5	Puente de soldadura	`RS485_T`↔`RS485_B`: inserta R82 120 Ω de terminación (DNP/abierto por default)

7.10 Cronología de ejecución del respin (evidencia git)

Fases del brief ejecutadas con checkpoint git por fase y verificación por parseo independiente (regla vigente: ediciones a nivel de archivo, KiCad cerrado):

Fecha	Hito
24-jul	E-J1: pads de J1 renumerados y verificados (commit `19c15e2`); R51→270k; netclass HV24 creada; 11 nets destripadas para re-ruteo
28-jul	**Fase A cerrada**: esquemático v4 con bloques M/N/O — **ERC 0 errores** (los 23 errores originales venían de fusión de columnas de stubs del generador; se añadió un auditor de geometría obligatorio al flujo). Renombre del proyecto a `hbox-watchdog-v4`; `v3-PROD` restaurado como registro as-fabricated
29-jul–01-ago	**Fase C (ruteo)**: C6 baseline de ruteo a mano serial/Ethernet · C7 importación FreeRouting a nivel de archivo (1773 seg/232 vías) · C7b cierre a mano de los 20 abiertos · C8/C9 vertidos GND exteriores + costura (+88 vías) + serigrafía · C10 **compuerta pre-fab**: correcciones de huella de producción + LCSC + rev de serigrafía · C11–C13 DRC a cero (incluida isla GND varada) · C14 regla HV24 0.5 mm en netclass + cobre conforme
01-ago	**Paquete de producción liberado**: gerbers + BOM + CPL + auditoría (commit `b505cb3`)
02–03-ago	Orden JLCPCB preparada (staging `aug02`/`aug03`, BOM de ensamble `HBOX_v4_PROD_bom-JLCPCB Assembly Order.xls`, lote **Y5**)

El esquemático completo de V4 (hoja A1) y sus capas están en los apéndices C y D.

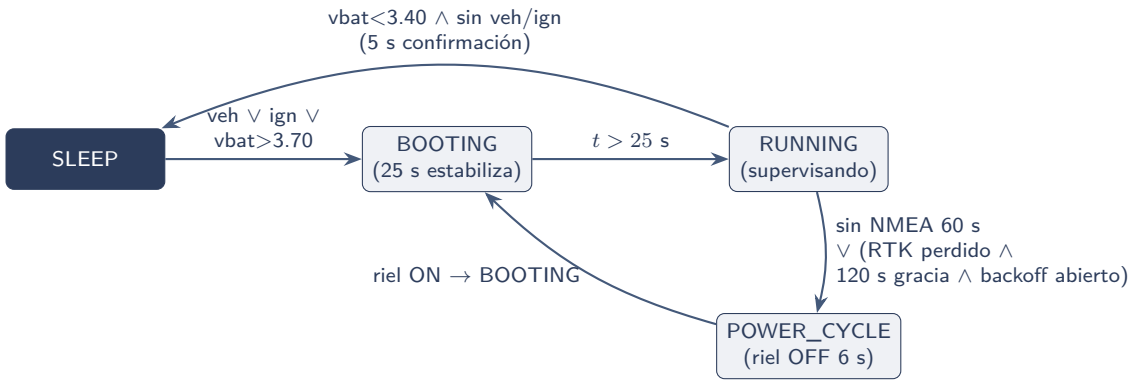
8 Software del Blackpill — firmware `blackpillrtkcode`

Repo: `hbox-firmware` (en `04-Source-Code/firmware/`). Objetivo: STM32F411CEU6 «Blackpill» (WeAct), núcleo Arduino **STM32duino**; compilación `arduino-cli --fqbn STMicroelectronics:stm32:GenF4:pnum=BLACKPILL_F411CE`; flasheo por USB DFU (BOOT0) o ST-Link. Dos sketches viven en paralelo: `blackpillrtkcode_v2/` (**v2.3** — lo que la flota 1.0 tiene como candidato estable) y `blackpillrtkcode_v3/` (**v3.0**, 2026-07-29 — el firmware de producción para EinarBoard, **aún sin flashear en banco**). Regla inquebrantable: **banco antes de campo** (el sandbox no compila STM32; un mal flasheo de watchdog brickea un rastreador desplegado).

8.1 Doctrina de recuperación (comparte v2.x y v3.x — verificada por simulación)

1. **Recuperar el enlace = ciclar la energía de todo el stack** (`PWR_CTRL`), nunca un reset del GNSS: las correcciones llegan por el módem (invariante #3); v1 hacía hot-reset UBX y no revivía jamás un módem colgado.
2. **Nunca desaparecer, nunca ciclar en bucle**: backoff exponencial 1–2–4–8–16 min (tope 20 min) entre recuperaciones; a la 6.ª falla se **latchea LIMP** — la unidad sigue reportando GPS autónomo y reintenta cada 30 min. (v1 reiniciaba cada ∼10 min: cada reinicio era una desconexión Wialon.)
3. **Detección de stack muerto por silencio NMEA** (60 s sin sentencias = colgado), independiente del estado de energía.
4. **Apagado es el estado seguro**: el stack arranca OFF; al cortar energía, PA2/PA3 se ponen en alta impedancia para no retroalimentar el riel por GPIO.
5. **Guardia anti-thrash SPS** (v2.1, lección del 20-jun): solo se recicla por «pérdida de RTK» si esta sesión de energía *alcanzó* RTK (`everHadRtk`); una unidad sana en SPS (problema de caster/config/cielo) **jamás** se cicla — ciclarla fabricaría las desconexiones que queremos matar. El silencio NMEA sí recupera siempre.
6. **Vigilar al vigilante**: IWDG de 8 s (un cuelgue del MCU se auto-resetea y amanece con `reset=IWDG`); causa de reset capturada del RCC *antes* de limpiar banderas.

Máquina de estados



Parámetros de temporización y umbrales (idénticos v2.3/v3.0 salvo nota)

Constante	Valor	Significado
`BOOT_STABILIZE_TIME`	25 s	tiempo de arranque de 4G + GNSS antes de supervisar
`POWER_CYCLE_TIME`	6 s	riel apagado hasta drenar módem + capacitores
`NMEA_TIMEOUT`	60 s	silencio total NMEA ⇒ stack colgado ⇒ recuperar
`NTRIP_GRACE`	120 s	tolerancia de RTK perdido antes de recuperar
`RTK_STABLE_RESET`	300 s	RTK sano este tiempo ⇒ limpiar backoff/LIMP
Backoff	60 s $\cdot 2^{n-1}$, tope 1200 s	escalera verificada: esperas de 66/126/246/486/966 s → LIMP 1806 s
`MAX_RECOVERIES` / LIMP	5 / reintento 30 min	después latchea LIMP (sigue reportando)
`DEBOUNCE_MS` / sueño	750 ms / 5 s	antirrebote de veh/ign · confirmación de brownout
`BAT_CRITICAL` / `BAT_RECOVERY`	3.40 / 3.70 V	entrada/salida de SLEEP (solo a batería)
`V5V_ON` / `V5V_OFF`	4.20 / 3.80 V	histéresis de «vehículo presente» (EMA α=0.1 sobre ADC 12 bits, divisores ÷2)
`THERM_WARN_C`	75 °C	derate del dado MCU (v3.0 añade celda ≥55 °C)
Curva ventilador	OFF<45 · ON≥48 · 30→100 % en 45–70 °C	histéresis 3 °C; control = el más caliente de aire/sonda/MCU; PWM 25 kHz
Cadencias	TLM 2 s · `$PHLG` 30 s · térmica 2 s	IWDG 8 s alimentado cada pasada del lazo (no bloqueante)

La **cadencia dinámica de reporte** del F9P se conmuta por UBX-CFG-RATE (comandos binarios con checksum verificado): **1 Hz** cuando hay vehículo ∧ ignición ∧ sin derate térmico; **30 s** en reposo o caliente («HOT: 30 s derate»).

8.2 Historia de versiones

Ver.	Fecha	Aporte
v1	pre-jun-26	Firmware original de campo (`legacy/` — **no flashear**): hot-reset GNSS a los 5 min sin fix (inútil contra módem colgado), reinicio duro cada ∼10 min, sin log térmico. Conservado para forense
v2.0	19-jun	Ciclo de energía del stack completo, backoff exponencial, modo LIMP, silencio NMEA, log térmico del dado, apagado = estado seguro
v2.1	20-jun	Guardia anti-thrash SPS (`everHadRtk`), log parseable BOOT/COLS/TLM/EVT + causa de reset, IWDG
v2.2	22-jun	Sentencia de salud `$PHLG` (checksum XOR correcto) al log USB; bomba de relevo USART1 *lista* pero apagada (`ENABLE_PHLG_RELAY 0`); el módem se confirmó reenviador transparente ($PUBX llegó íntegro al servidor)
v2.3	22-jun	Térmica inteligente: SHT40 + TMP102 por I²C1, ventilador lazo cerrado PA6 25 kHz, tach PB10 con detección de atasco, fallback a temperatura del MCU; TLM/$PHLG +6 campos
v3.0	**29-jul**	**Producción EinarBoard** — cierra F1/F2/F3/F5/F6 de la revisión (§8.4) + gestión de carga LTC4040 + medidor + auto-prueba + split de target; hostsim en verde. **Pendiente banco**
v3.1 · v3.2	hoja de ruta	Features de la tarjeta V4: expansor/RGB/SC16IS752/Modbus RTU (v3.1) · transportes W5500 (v3.2) — §8.9

8.3 v2.3 por dentro (la base común)

Un solo `.ino` sin RTOS: lazo principal no bloqueante que cada pasada ejecuta `updateSensors` (ADC con filtro EMA + temperatura del dado por sensores de calibración de fábrica TS_CAL), `updateInputs` (antirrebote veh/ign), `parseNMEA` (parser GGA de buffer fijo de 110 bytes — sin `String`, sin heap), `thermalService` (sensores + curva de ventilador en cadencia de 2 s + salud del ventilador), `updateLEDs`, la emisión TLM/$PHLG, el failsafe de brownout y la máquina de estados. Detalles dignos de nota:

- **Ventilador** (v2.3): lazo cerrado sobre la *peor* temperatura confiable (aire SHT40, sonda TMP102, o fallback al dado si el I²C no está poblado — el camino funciona antes de que lleguen los sensores). Salud por tach: impulso a 100 % por 300 ms cada 30 s para leer limpio un tach de 3 hilos con PWM de lado bajo. *(Esta pieza es precisamente la que la revisión marcó incorrecta para los ventiladores de 2 hilos embarcados — F2, §8.4.)*
- **LEDs de estado** (PB0 externo, PC13 espejo invertido): SLEEP = destello de 60 ms cada 4 s · BOOTING = 5 Hz · POWER_CYCLE = 10 Hz · RUNNING a batería = 0.5 Hz · RUNNING+OK = fijo · DEGRADED = 1 Hz · LIMP = doble destello cada 1.5 s · SEARCHING = 1.67 Hz.
- **Relevo Modo B** (compilado, apagado): `pumpRelay()` reenvía byte a byte F9P→módem e inyecta el `$PHLG` pendiente **solo tras >8 ms de línea ociosa** — jamás parte una GGA (el uplink GGA del NTRIP debe permanecer byte-exacto). Es la forma correcta del relevo; su encendido espera los prerrequisitos F4 (§8.4).

8.4 La revisión v2.3-sobre-EinarBoard (2026-07-24): «seguro pero ciego»

Pregunta: ¿v2.3 —escrito para el protoboard— sirve como firmware de producción de la 1.0? Veredicto: la doctrina es sólida y re-verificada, pero flasheado hoy es *seguro pero ciego* — los defaults de hardware (pull-down en PA8 = carga habilitada con NTC de cargador guardando; PB5 bajo = K1 NC = correcciones directas) fueron diseñados justamente para tolerar este firmware. Hallazgos (■ impacta campo · ■ robustez · ■ limpieza):

Sev.	ID	Hallazgo (estado en v3.0)
■	F1	**El desborde de `millis()` colapsa la compuerta de recuperación** cada 49.7 días (verificado en modelo uint32): la espera armada como *deadline absoluto* desborda en la ventana previa al wrap ⇒ tormenta de ∼20 ciclos consecutivos a 91 s en unidades LIMP, dos veces por trimestre por unidad. **CERRADO en v3.0** (ventana inicio+duración, comparación por resta)
■	F2	**Maquinaria de tach equivocada para los ventiladores embarcados** (2 hilos, PB10 DNP): el impulso de salud cuenta 0 flancos ⇒ `fan_fault=1` latcheado para siempre en toda unidad (fatiga de alarma) + EXTI flotante que inventa RPM. **CERRADO** (falla por *tendencia térmica*; tach tras `ENABLE_FAN_TACH=0`)
■	F3	**El silicio exclusivo del EinarBoard no se maneja**: PA8/PB3/PB4 (gestión de carga — la mitad firmware de la respuesta al RCA #1, incluida la recarga profunda que el temporizador interno corta), PB1 (NTC), PB12–15 (medidor apagado ⇒ instaladores leen «batería muerta»), PB5 (Modo B jamás inserta ⇒ `$PHLG` nunca llega al servidor). **CERRADO en v3.0 salvo PB5** (el relevo Modo B queda para v3.1 tras F4)
■	F4	`readSHT40()` bloquea 10 ms cada 2 s: a 115200 son ∼115 bytes contra un ring RX default de 64 ⇒ riesgo de pérdida en ráfagas; **bloqueante para encender el relevo Modo B** (corrompería el uplink GGA). Prerrequisito v3.1: lectura en dos fases + `SERIAL_RX_BUFFER_SIZE 256`
■	F5	El derate térmico solo miraba el dado del MCU; la falla del RCA es la *celda*. **CERRADO en v3.0** (derate también con celda ≥55 °C)
■	F6	Parser GGA: campo de calidad vacío daba −4; GGA con checksum malo se aceptaba. **CERRADO** (validación XOR + clamp 0–8 + contador `rxbad`)
■	F7–F9	Docs desactualizados (PINOUT.md aún decía DFR1015), SLEEP no es bajo consumo real (STOP-mode = mejora futura; hoy ∼semanas de autodescarga del paquete), menores. F7 pendiente (reescritura de PINOUT.md en fase E de V4); F8 aceptado como mejora futura

Lo que la revisión **confirmó correcto** (y se preserva): escalera de backoff exacta, SPS jamás ciclado, lazo no bloqueante con IWDG, flotado de PA2 al apagar, buffers fijos, checksum `$PHLG` correcto, disciplina append-only de campos, EMA + histéresis + antirrebote en todos los sensados.

8.5 v3.0 — el firmware de producción de la flota EinarBoard

Split de target (una fuente, dos tarjetas de banco)

`TARGET_EINARBOARD` / `TARGET_PROTO` con `#error` si no se elige exactamente uno. La diferencia crítica es la **polaridad de carga**: en EinarBoard `CHRG_EN` (LTC4040 CHGOFF) es **HIGH = carga APAGADA** (pull-down 100 k = habilitada por default); en el protoboard `CHRG_RUN` conmuta el IN+ del TP4056: **HIGH = carga ENCENDIDA** (MCU ausente = sin carga, seguro al no haber NTC de hardware). El split mata la clase de error «flasheé el build del proto en una unidad de producción».

F1 en código — la compuerta a prueba de desborde

```
// v2.3 (defectuoso): deadline absoluto -- desborda antes de cada wrap de 49.7 dias
nextRecoveryAfter = millis() + POWER_CYCLE_TIME + delayMs;
if (millis() >= nextRecoveryAfter) beginPowerCycle(...);

// v3.0: inicio + longitud, comparacion por resta (aritmetica modular segura)
bool recoveryGateOpen() {
  return !recoveryWaiting || (millis() - recoveryWaitStart) >= recoveryWaitLen;
}
```

Modelado en `tools/hostsim/rollover_model.cpp` con `uint32_t` real (el host tiene `unsigned long` de 64 bits y no reproduce el wrap): la versión vieja produce la tormenta 1806 s → 91 s × ∼20 → 1806 s; la nueva mantiene 1806 s uniformes a través del wrap.

Gestión de carga (la mitad firmware del RCA #1)

`chargeService()` cada 2 s: lee PB3/PB4 (CHRG/FAULT, colector abierto — eventos EVT al asertar), calcula la **temperatura de celda** = máx(TMP102, NTC de PB1 — modelo beta 3950 con rechazo de divisor abierto/corto), y aplica: **corte a ≥45 °C / rearme a ≤40 °C** (histéresis) sobre PA8; **reinicio del temporizador de seguridad** del LTC4040: si hay vehículo ∧ celda fría ∧ no está cargando ∧ $v_{bat} < 3.90$ V ⇒ pulso de 500 ms en `CHRG_EN`, máximo uno cada 30 min (la recarga de 12 Ah a 2.42 A ≈5 h excede el temporizador interno; sin esto el paquete queda crónicamente subcargado tras una descarga profunda). El **derate** de cadencia ahora también dispara con celda ≥55 °C (F5).

Medidor, NTC y auto-prueba

`gaugeService()` 1 Hz: umbrales **3.55 / 3.70 / 3.85 / 3.92 V** ±0.05 de histéresis (paquete cargado a 4.00 V; afinar en banco), oscuro bajo 2.0 V (sin paquete) — manejo **directo** PB12–15 en EinarBoard 1.0 (**en V4 esto migra al PCF8574: v3.0 no debe correr en V4 — §9**). `readNTC()`: modelo beta/Steinhart del canal PB1 (validado: cuentas 2047 = 25 °C · 1614 = 35 °C · 1081 = 50 °C). **Auto-prueba de encendido** solo en resets humanos (POR/PIN/UNK, jamás IWDG/SOFT): caminata del medidor (200 ms por LED) + giro de ventilador de 0.8 s — el chequeo visual de línea de ensamble que mata el «¿está muerto el ventilador/medidor?» de banco.

8.6 Matriz de comportamiento de potencia y diagnóstico de banco (2026-08-10)

Esta sección responde tres preguntas del banco del 10 de agosto sobre la unidad EinarBoard 1.0 en prueba: por qué los LEDs del medidor están *apagados*, por qué «a veces no carga», y qué hace exactamente el firmware ante cada combinación de alimentación. Todo lo tabulado aquí está leído del código v3.0 (`blackpillrtkcode_v3.ino`) — no de memoria.

Lo que el firmware realmente sensa

El Blackpill **no ve los 24 V del vehículo**: los infiere del riel de 5 V (`PIN_5V_SENSE` PA4, divisor): *presente* sobre **4.20 V**, *ausente* bajo **3.80 V** (histéresis + debounce de 750 ms) → bandera `veh`. La ignición entra digital por PA5 (divisor desde la línea de 12/24 V, debounce 750 ms) → `ign`. La batería se lee en PA0 con EMA. En **V3** el riel 5 V nace del PowerBoost; en **V4** de `/SYS5V` — la lógica es la misma.

Matriz de verdad: alimentación → comportamiento

5 V (24 V)	IGN	v_{bat}	Cadencia GNSS	Stack	Carga	Supervisión / notas
✓	✓	—	**1 Hz** (30 s si derate térmico: MCU ≥75 °C o celda ≥55 °C)	ON	Sí (VIN presente)	Completa: sin NMEA 60 s → ciclo de 6 s; escalera de recuperación, a la 5.ª → LIMP latcheado (sigue reportando)
✓	✗	—	30 s	ON	**Sí** — el cargador solo necesita VIN; motor apagado en patio *sí* carga	Completa; caso normal de vehículo estacionado con corriente
✗	✓	—	30 s	ON	No (sin VIN)	Caso borde: riel 5 V caído con ignición viva — apunta a falla del convertidor/arnés
✗	✗	> 3.40 V	30 s	ON (respaldo)	No	Corre de la batería; el LTC4040 conmuta a backup sin resetear el stack
✗	✗	< 3.40 V *(5 s sostenidos)*	**ninguna**	**OFF**	No	**SLEEP**: apaga el stack (PA1) y espera; despierta con 5 V ∨ IGN ∨ $v_{bat} > 3.70$ V. El MCU sigue vivo (TLM solo por USB)
—	—	< 2.00 V	—	—	—	Medidor oscuro: se asume *sin paquete*

La cadencia rápida exige `veh` ∧ `ign` ∧ ¬derate — *ambas* señales; cualquier otra combinación reporta a 30 s. El brownout tiene precedencia sobre todos los estados salvo un ciclo de potencia en curso. El ciclo por pérdida de RTK (`RECYCLE_ON_RTK_LOSS`) solo aplica si la unidad *tuvo* RTK en la sesión — una unidad SPS-sana jamás se cicla por no alcanzar FIX (doctrina §8.1).

El medidor de 4 LEDs, número por número

Cuartiles reales del `gaugeService()` (umbral ±0.05 V de histéresis), manejo directo PB12–15 en EinarBoard 1.0:

LED	Pin	Enciende >	Apaga <	Lectura
1	PB12	3.60 V	3.50 V	>25 % — paquete utilizable
2	PB13	3.75 V	3.65 V	>50 %
3	PB14	3.90 V	3.80 V	>75 %
4	PB15	3.97 V	3.87 V	Lleno en reposo (flotación 4.00 V por jumpers F2/F1/F0)

Diagnóstico de banco: LEDs apagados = dos veces correcto

La unidad de banco reporta `fw=2.3` en su `$PHLG`: **v2.3 no contiene el medidor** (PB12–15 jamás se manejan) — con ese firmware los LEDs no encienden nunca. Y aun tras flashear v3.0, el paquete medido en banco (3.16–3.24 V) está **bajo el umbral del primer LED** (3.60 V): cero LEDs sería la lectura *veraz* de una batería <25 %. Chequeo de hardware en 10 s: con v3.0, todo POR ejecuta la auto-prueba (caminata de los 4 LEDs + giro de ventilador); si la caminata no se ve, el problema es alambrado/soldadura, no firmware.

«A veces no carga» — las cuatro causas, en orden de probabilidad

1. **NTC del arnés ausente** (errata conocida del runbook de bring-up): sin termistor en P4-3, R55 lleva el pin NTC del LTC4040 a VIN → «batería demasiado fría» → carga pausada *en silencio*. Observable en v3.0: `cflt=1` (`CHRG_FAULT` por NTC). Remedio de banco: 10 kΩ de P4-3 a P4-2.
2. **Temporizador de seguridad del LTC4040 vencido**: recargar 12 Ah a 2.42 A toma ≈5 h, más que el temporizador interno → el cargador se detiene con el paquete a medias. v3.0 lo re-arma solo (pulso de 500 ms en `CHRG_EN` si hay vehículo ∧ celda fría ∧ no carga ∧ $v_{bat} < 3.90$ V, máx. 1/30 min); **v2.3 no tiene este manejo** — un paquete profundo se queda crónicamente abajo, que es exactamente los 3.16–3.24 V observados en la unidad de banco con fw 2.3.
3. **Corte térmico de firmware**: celda ≥45 °C → carga OFF hasta ≤40 °C (protección post-RCA #1).
4. **Sin VIN**: motor y corriente de patio ausentes → el LTC4040 no tiene de dónde cargar — por diseño, no es falla.

La discriminación entre 1–3 es inmediata con la telemetría v3.0 (`chg`, `cflt`, `tntc` en `$PHLG`/TLM); con la flota aún en v2.3 esos campos no existen — otra razón de peso para el paso a v3.0.

Registro de cambios del 2026-08-10 (banco + backend)

Cambios hechos hoy, *en árboles de trabajo, sin commitear* — marcados `TEST BUILD` en el código:

- **Firmware** (`blackpillrtkcode_v3.ino`): `ENABLE_PHLG_RELAY` $0 \to 1$ — telemetría `$PHLG` en banda para la unidad de banco (requiere módem a través del MCU: F9P-UART2 TX → PA10, PA9 → módem DIN, RTCM directo sin tocar); curva de ventilador OFF/ON/MIN/FULL de 45/48/45/70 °C a **27/30/27/45 °C** para que el ventilador corra a temperaturas de banco (≈70 % de duty a 37 °C). **Restaurar ambos antes de cualquier flasheo de flota** — los valores de producción quedaron en comentario junto a cada constante.
- **Backend** (`retranslator.py`, +138 líneas, puramente aditivo): ingesta de `$PHLG` (21/25 campos según versión, checksum XOR validado, transiciones a log, cuenta como prueba de vida — una unidad con antena GPS muerta sigue visible) y de `$PUBX,00` (hAcc/vAcc/edad de correcciones DGPS) → `/tmp/htracker_status.json` por unidad. Probado contra las sentencias reales capturadas (COM de banco + tcpdump del servidor). Pendiente: commit + `push-deploy.sh`, coordinado con GLP (que mantiene `web_monitor.py` con un fix de odómetro sin commitear en el servidor).
- **Contexto de flota al 2026-08-10** (tcpdump en el servidor): 5 unidades en línea, *todas* SPS (fix=1) con edad de correcciones vacía — ninguna corrección aplicada en toda la flota (revisar base `HelgenTestStation` en rtk2go); H0005 y H0014 con **0 satélites** y celular sano → antena/cable GPS; H0006 y H0029 ya emiten `$PUBX,00` (config nueva del F9P).

8.7 Telemetría y logging (spec v2.1 + extensiones append-only)

El log USB (**STREAM**, default; el TUI ANSI queda para demos con `LOG_MODE_ANSI`) es **el registro autoritativo de salud por unidad**: líneas `BOOT` (versión + causa de reset), `COLS` (auto-descripción de columnas), `TLM` cada 2 s y `EVT` inmediato en cada transición. Los timestamps son `millis()`; el programa de captura antepone hora de pared. Columnas TLM v3.0 (las 23 de v2.3 + 4 nuevas, append-only — los parsers toleran campos extra):

```
ms,state,link,fix,sat,rx,rate,vbat,v5v,veh,ign,tc,tmax,der,rec,limp,nmea_age_ms,
tair,rh,tbat,fan_rpm,fan_pwm,fan_fault,tntc,chg,cflt,rxbad
```

`$PHLG` — la misma salud en formato NMEA (checksum XOR estándar), emitida cada 30 s al log USB y lista para inyectarse al servidor por el relevo Modo B (el módem es reenviador transparente confirmado). v2.3 = 21 campos; v3.0 = **25 campos** (con el identificador), p. ej.:

```
$PHLG,3.0,RUN,OK,4,14,9001,3.96,5.01,58,69,0,0,180,POR,25,50,25,0,0,0,31,1,0,0*CS
```

Acción de backend pendiente: extender `PHLG_FIELDS` del `htracker` a los 4 campos nuevos. Umbrales de triage (del spec, calibrados con la línea base sana RTK14_440): `fix`≥4 = RTK, 1 = SPS aceptable si `rx` incrementa ∼1/s; `rec` subiendo = stack inestable; `limp`=1 = 4G rendido; `nmea_age_ms`>60000 = colgado; `tmax` = la evidencia térmica; sentinelas: temperaturas −127 = n/d, `rh` −1. La anatomía campo-por-campo de la palabra, el decodificador de referencia para el backend y el estado de la decisión *over-the-air* están en §4.5–§4.7.

8.8 Red de regresión: `tools/hostsim`

Arnés de simulación en host (stubs de `Arduino.h`/`Wire.h`/`IWatchdog.h` + `millis()`/ADC/UART falsos; `./run.sh`) que compila el sketch *sin modificar* con `-Wall -Wextra` y corre escenarios: `ladder` (escalera de backoff exacta), `sps` (0 ciclos en 30 min de fix=1 sano), `rtkloss` (recuperación a los 120 s de gracia), gga (checksum/clamp), `phlg`, `charge` y `gauge` (v3.0), más `rollover_model.cpp` (uint32). Todo en verde para v3.0. El hostsim valida **lógica**, no el silicio: el banco sigue siendo obligatorio — en particular **verificar la polaridad de PA8 sobre un LTC4040 real**, el canal NTC con termistor físico, y que la auto-prueba no dispare tras un reset IWDG.

8.9 Hoja de ruta v3.1 / v3.2 (el software de la tarjeta V4)

Ver.	Alcance
v3.1	**Núcleo EPCT + tarjeta V4 básica** (la palabra canónica A — decisión 2026-08-08 — se implementa aquí; plan §4.8): medidor + RGB vía PCF8574 (tabla estado→color al manual de operador es-MX); driver SC16IS752 + **esclavo Modbus RTU** (mapa de registros **requiere firma del cliente** antes de congelar); auto-prueba extendida (caminata RGB); prerrequisitos F4 del relevo Modo B (SHT40 no bloqueante en dos fases + `SERIAL_RX_BUFFER_SIZE 256`) y **encendido del relevo**: `BYP_CTRL` HIGH solo en RUNNING, PA9 flotado fuera de él, verificación en banco de que el uplink GGA queda byte-exacto. El NC de K1 sigue siendo la garantía de hardware — no debilitarla
v3.2	**Transportes W5500**, en orden de prioridad: (1) telemetría/`$PHLG` + espejo STREAM al backend por TCP; (2) espejo del feed de rastreo usando el tap PA10; (3) **cliente NTRIP-sobre-Ethernet** — sitios fijos con LAN corren RTK *sin 4G*: desbloqueo real de producto para almacenes/puertos; (4) Modbus TCP si el cliente aterriza en Ethernet. Flash/RAM del F411 (512 K/128 K) alcanzan con holgura salvo que entre un RTOS

9 Trazabilidad pin a pin: hardware V3/V4 ↔ firmware v2.3/v3.0

La tabla siguiente cruza **cada pin del MCU** con su net en ambas tarjetas y su manejo en ambos firmwares — es la referencia para diagnosticar «¿quién debería estar moviendo este pin?» y para planear flasheos. Leyenda: «—» = sin conexión/uso; **v3.1**/**v3.2** = lo maneja esa versión futura.

Pin	Net V3	Net V4	FW v2.3	FW v3.0	Nota
PA0	`BAT_SENSE`	=	`PIN_BAT_SENSE` AIN	=	voltaje de paquete ÷2, EMA
PA1	`PWR_CTRL`	=	`PIN_PWR_CTRL` OUT	=	compuerta del stack (Q5→Q1); HIGH=ON

Pin	Net V3	Net V4	FW v2.3	FW v3.0	Nota
PA2	GNSS_TX	=	USART2 TX	=	flotado al apagar el riel
PA3	GNSS_RX	=	USART2 RX	=	parser GGA
PA4	5V_SENSE	=	PIN_5V_SENSE AIN	=	tap en VEH5V (lado vehículo)
PA5	IGN_SENSE	=	PIN_IGN_SENSE IN-PD	=	digital; divisor 22k/10k (V3) · 22k/3.3k (V4 — ver O-1)
PA6	FAN_PWM	=	PIN_FAN_PWM PWM 25 kHz	=	TIM3_CH1, lado bajo Q2
PA7	— (reserva)	=	—	=	LM35 solo en protoboard
PA8	CHRG_EN	=	— (Hi-Z; pull-down = carga ON)	PIN_CHRG_EN OUT	polaridad: PROD HIGH=OFF · proto invertido
PA9	USART1_TX	=	relevo (apagado)	= (apagado)	inyección $PHLG — **v3.1**
PA10	USART1_RX	=	relevo (apagado)	= (apagado)	tap pasivo del nodo K1.NC
PA11/PA12	—	=	—	—	libres (USB OTG no usado)
PA15	—	ETH_RST	—	—	$\overline{\text{RST}}$ W5500 — **v3.2**
PB0	EXT_LED	=	PIN_EXT_LED OUT	=	patrones de §8.3; respaldo cableado del RGB en V4
PB1	NTC_TEMP	=	—	PIN_NTC AIN	beta 3950; alimenta corte de carga
PB2	—	ETH_INT	—	—	$\overline{\text{INT}}$ W5500 — **v3.2**
PB3	CHRG_STAT	=	—	PIN_CHRG_STAT IN	LOW = cargando
PB4	CHRG_FAULT	=	—	PIN_CHRG_FAULT IN	LOW = falla NTC/batería
PB5	BYP_CTRL	=	— (bajo = NC directo)	—	driver K1 — **v3.1**
PB6/PB7	I2C_SCL/SDA	=	Wire @100 kHz	=	V3: 0x44+0x48 · V4: +0x20+0x4D
PB8	—	SER_IRQ	—	—	$\overline{\text{IRQ}}$ SC16IS752 — **v3.1**
PB9	—	=	—	—	libre
PB10	FAN_TACH (DNP)	=	tach EXTI (**F2**)	tras ENABLE_FAN_TACH=0	provisión para ventilador de 3 hilos
PB12	BATLED1	ETH_CS	—	PIN_BATLED1 OUT	**conflicto v3.0-en-V4**
PB13	BATLED2	ETH_SCK	—	PIN_BATLED2 OUT	**ídem**
PB14	BATLED3	ETH_MISO	—	PIN_BATLED3 OUT	**ídem**
PB15	BATLED4	ETH_MOSI	—	PIN_BATLED4 OUT	**ídem**
PC13	LED del módulo	=	PIN_LED (activo bajo)	=	espejo invertido del externo
PC14/PC15	—	=	—	—	libres (cristal LSE del módulo)
NRST	NRST	=	— (hardware)	=	SW1 + P10; auto-prueba distingue POR/PIN de IWDG

Regla de compatibilidad de flasheo

v2.3 y v3.0 son firmwares de la tarjeta V3 (v2.3 = seguro-pero-ciego; v3.0 = el que maneja todo el silicio 1.0). **Ninguno de los dos debe flashearse sin modificación en una V4**: v3.0 manejaría PB12–15 como LEDs del medidor cuando en V4 son el SPI2 del W5500 (con ETH_RST en pull-up alto, el W5500 vería tráfico basura de CS/SCK; el medidor, además, quedaría mudo — está en el expansor). **El firmware mínimo de V4 es v3.1.** En sentido inverso, el crossover E-J1 de banco mantiene válido el mapa lógico, por lo que v2.3/v3.0 *stock* operan una V3 a través del adaptador inversor sin bifurcar el código.

10 Estado consolidado, compuertas y riesgos abiertos

10.1 Fotografía al 2026-08-07

Frente	Estado
V3 física	10 tarjetas rev. 1.1c PCBA (JLC) en mano; **operables solo con el adaptador inversor de J1** (E-J1); banco completo vivo (crossover + TLM + conmutación del stack + módem en zócalo propio con las reglas E-PFI); una unidad perdida por E-CLR (autopsia con prueba P1↔P2/P11)
V4	Esquemático ERC 0 · tarjeta ruteada, DRC sin errores eléctricos · paquete de fabricación liberado (01-ago) · orden JLC lote Y5 preparada (02–03-ago). V4 **es el artículo de producción**; las 1.0 quedan como mulas de banco/piloto
Firmware	v2.3 = candidato estable de flota (con las limitaciones «ciego» de §8.4); **v3.0 escrito, hostsim verde, sin banco aún**; v3.1/v3.2 especificados
Documentación	Manual de ingeniería 1.0 v1.1 (21 pp) + BOM workbook sincronizado; este informe consolida V3+V4+FW; `PINOUT.md` del repo de firmware pendiente de reescritura (F7)

10.2 Compuertas vigentes (en orden)

1. **M2 — validación en banco del bloque LTC4040** (transición a respaldo + corte de carga con celda caliente + no-retroalimentación por P2, el escenario que la corrección H1 protege). Sigue siendo **la compuerta de fabricación para el lote de flota**: no comprometer el ensamble de 30 unidades sin pasarla sobre cobre real.

2. **Banco de v3.0** en una EinarBoard de repuesto: polaridad de PA8 contra el LTC4040 real, canal NTC con termistor físico, umbrales del medidor, auto-prueba solo en POR/PIN, y soak con el escenario de recarga profunda (pulso del temporizador).

3. **Verificaciones del Bloque N** de V4 contra hoja de datos/diseño de referencia antes de energizar Ethernet: terminación del MagJack, LEDs del HR911105A, TOCAP/1V2O.

4. **Compuertas G1–G5 del relevo Modo B** (brief v3.1): byte-exacto, RTK sostenido, `$PHLG` en panel, fail-safe IWDG→NC, presupuesto de lazo — encienden la palabra canónica A en producción.

5. **Firma del cliente del mapa de registros Modbus** — congela el *espejo* Modbus de v3.1 (ya no gatea la palabra de telemetría: esa es A).

6. **Prueba de recepción de flota** para toda 1.0: continuidad P1.1↔P2.1 y P1.1↔P11.1 **abiertas** (E-CLR), ajuste en seco de zócalos con módulos reales, `Rig1`=22 k, SD-15B-05 ajustada a ∼5.2 V.

10.3 Riesgos y observaciones abiertas

Sev.	ID	Riesgo / observación
▲	O-1	**Umbral de ignición en máquinas de 12 V con el divisor V4 (22k/3.3k)**: ≈1.56 V $< V_{IH(min)} \approx 1.78$ V — validar con 12 V reales antes de desplegar en Tractoplana/Montacargas; mitigación propuesta: `Rigb1` → 6.8 k (§7.7)
▲	O-2	**v3.0 flasheado por error en una V4** manejaría el SPI2 del W5500 como LEDs (§9). Mitigación: el split de target crece a `TARGET_HBOXV4` en v3.1 + etiqueta de versión mínima de FW en la serigrafía/QR de la tarjeta
▲	O-3	**Backend**: `PHLG_FIELDS` debe extenderse a los 4 campos nuevos — ahora es la **Fase 1 (servidor-primero)** del plan §4.8: puede arrancar hoy contra capturas USB, sin tocar firmware
▲	O-4	**L5 heredado**: L7 (buck del módem) 10 µH/2 A tiene margen de saturación delgado contra los picos de 2 A del módem; V4 lo mantiene — candidato a parte de 3 A en el siguiente giro si el banco muestra sag
·	O-5	USB de servicio grado funcional (M5): D± sin par diferencial ni ESD array — aceptado para consola Full-Speed; par + USBLC6 en un giro futuro
·	O-6	SLEEP del firmware no es STOP-mode (F8): ∼semanas de sobrevida del paquete en máquina estacionada vs meses posibles — mejora futura, no bloqueante
·	O-7	Los GPIO0–7 del SC16IS752 y P7 del PCF8574 quedan libres — espacio de crecimiento documentado (buzzer, 4.º LED, sensores de puerta)

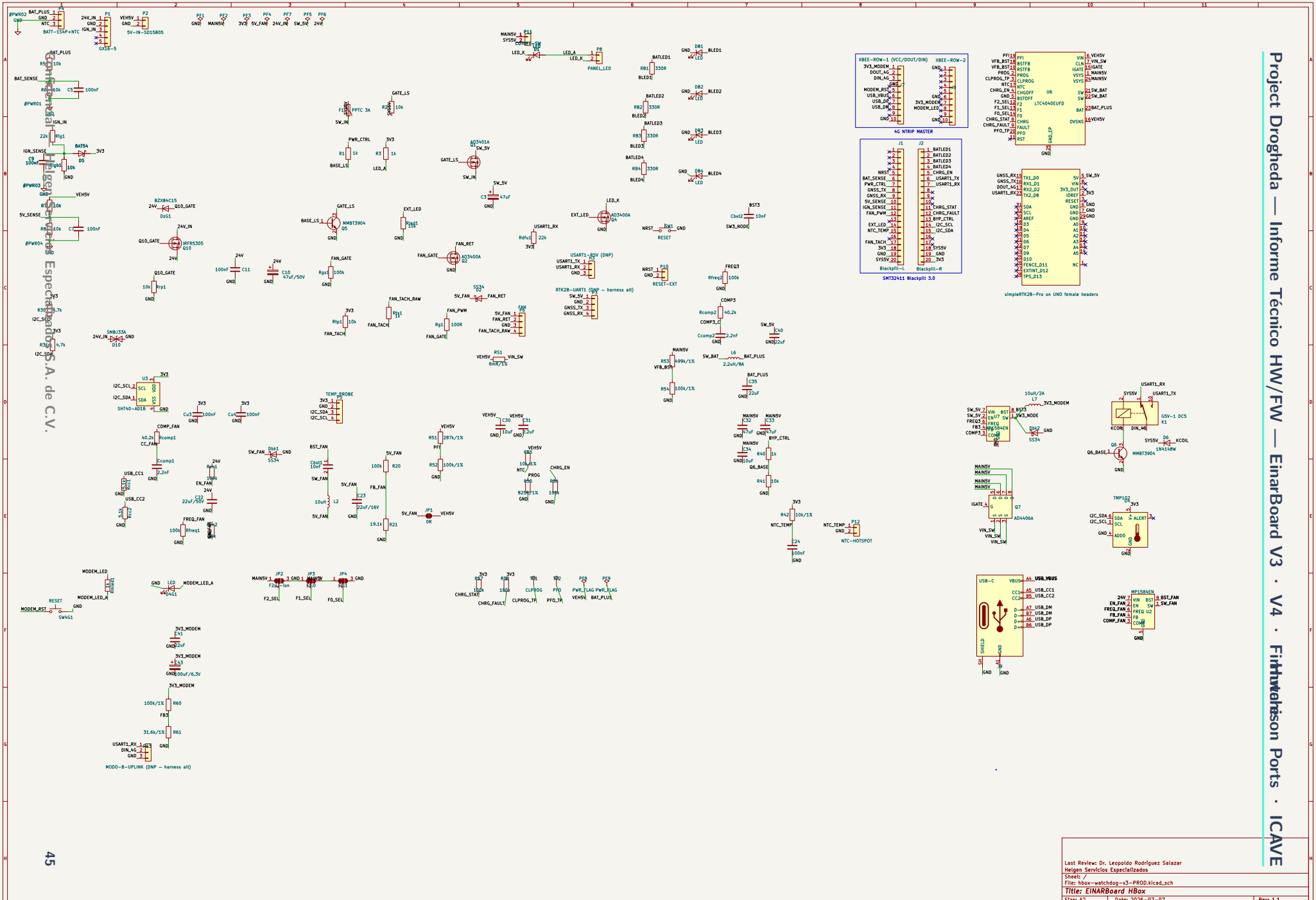
10.4 Qué sigue (recomendación de ingeniería)

Recibir el lote Y5 → prueba de recepción (incluida la continuidad E-CLR sobre V4 con la regla HV24 ya en cobre — esperada limpia) → bring-up de V4 con v3.0 *modificado mínimo* (medidor apagado) o directamente v3.1 temprano → retirar M2 sobre V4 → congelar mapa Modbus con cliente → v3.1 a banco → piloto. Las 1.0 de banco conservan su papel de mulas de validación de firmware (con adaptador y reglas E-PFI) y de refacciones de módulos.

A Esquemático completo V3 (rev. 1.1, tal-como-se-fabricó)

Hoja A2 exportada en fresco (2026-08-07) de `hbox-watchdog-v3-PROD.kicad_sch` (registro congelado). Para lectura a nivel de net, ábrase el PDF vectorial en `kicad/exports-informe-20260807/`.

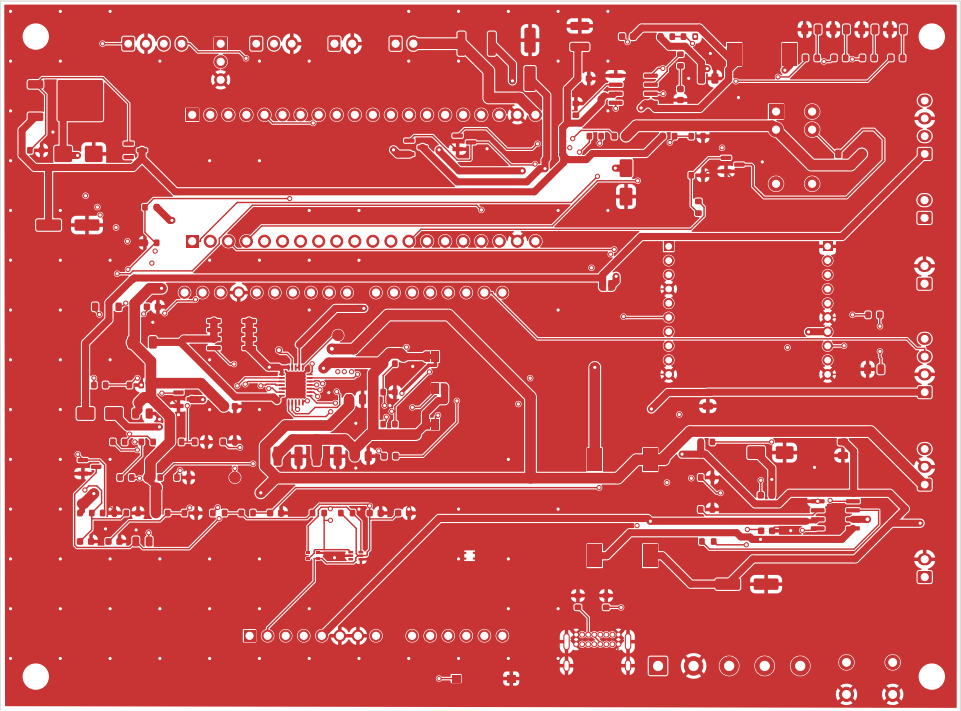
Project Drogheda — Informe Técnico HW/FW — EinarBoard V3 · V4 · Fitting Ports · ICAVE



Last Review: Dr. Leopoldo Rodriguez Salazar
Heigen Servicios Especializados
Sheet: /
File: hbox-watchdog-v3-PROD.kicad_sch
Title: EINARBoard HBox
Size: A2 | Date: 2026-07-07 | Rev: 1.1
KiCad E.D.A. 10.0.4 | Id: 1/1

B Capas de cobre y ensamble V3

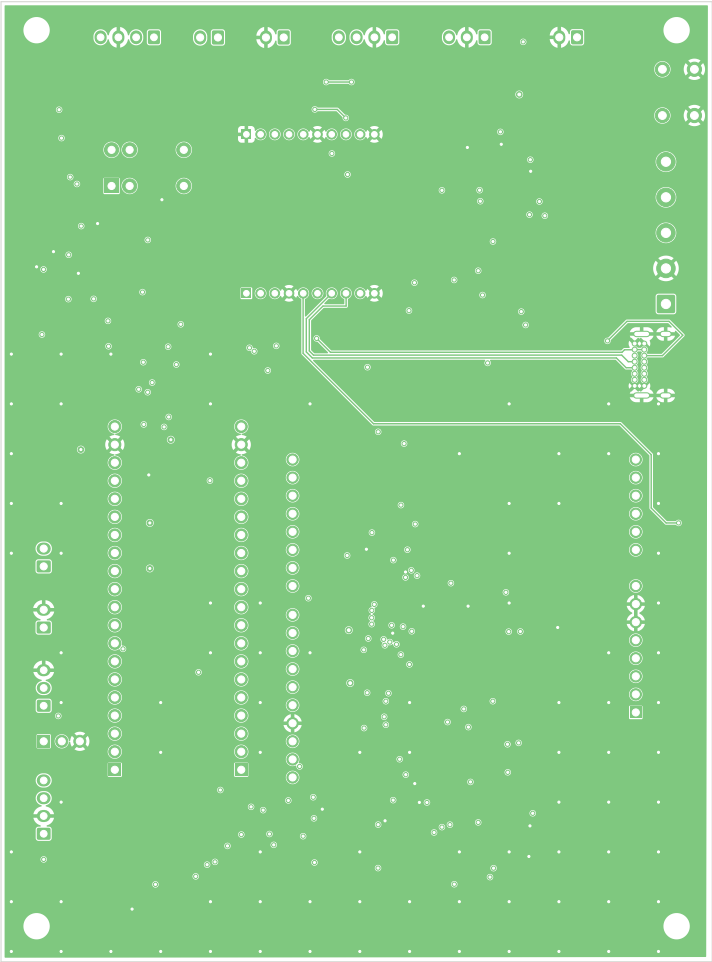
Planos por capa del `.kicad_pcb` rev. 1.1 (135×100 mm, ∼1317 pistas, 249 vías), todos vistos **desde arriba** (convención rayos-X — B.Cu *no* va espejada), con `Edge.Cuts` superpuesto. Orden: F.Cu (potencia PWR_HI 1.5 mm / PWR_MID 1.0 mm, campos de zócalos, bloque LTC4040) · In1.Cu (plano GND sólido, costuras y amarres térmicos de EP) · In2.Cu (señal interna — **la capa de la errata E-CLR**) · B.Cu (señal/sensado) · vista de ensamble (serigrafía + contorno, DNP tachados).



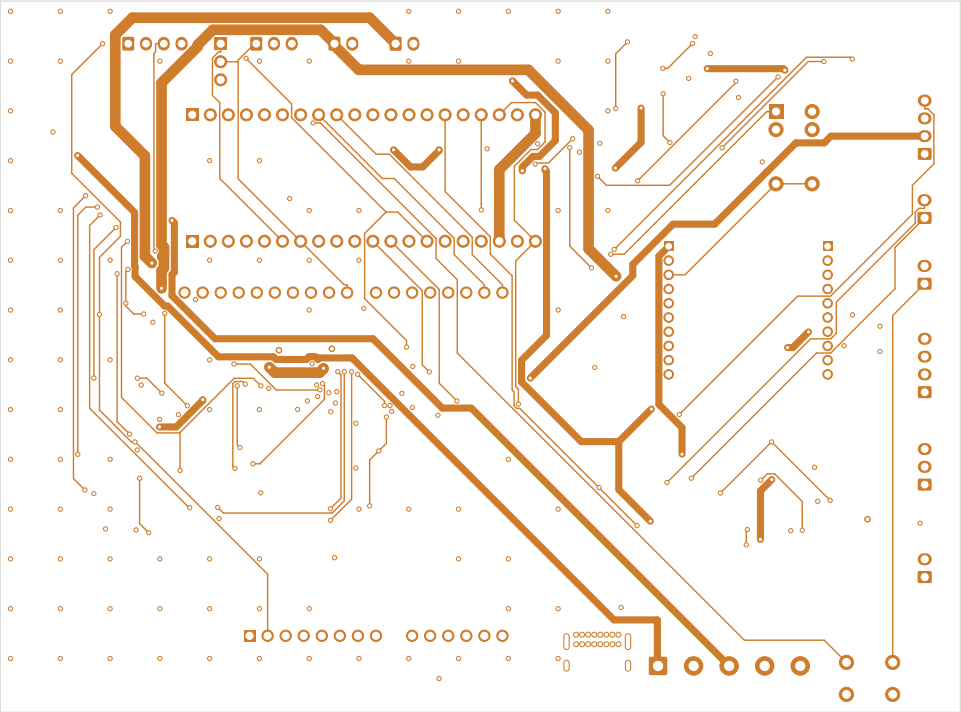
Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v3-PROD.kicad_pcb

Title: EINARBoard HBOX 1.1

Size: A4	Date: 2026-06-23	**Rev: 1.1**
KiCad E.D.A. 10.0.4		Id: 1/4



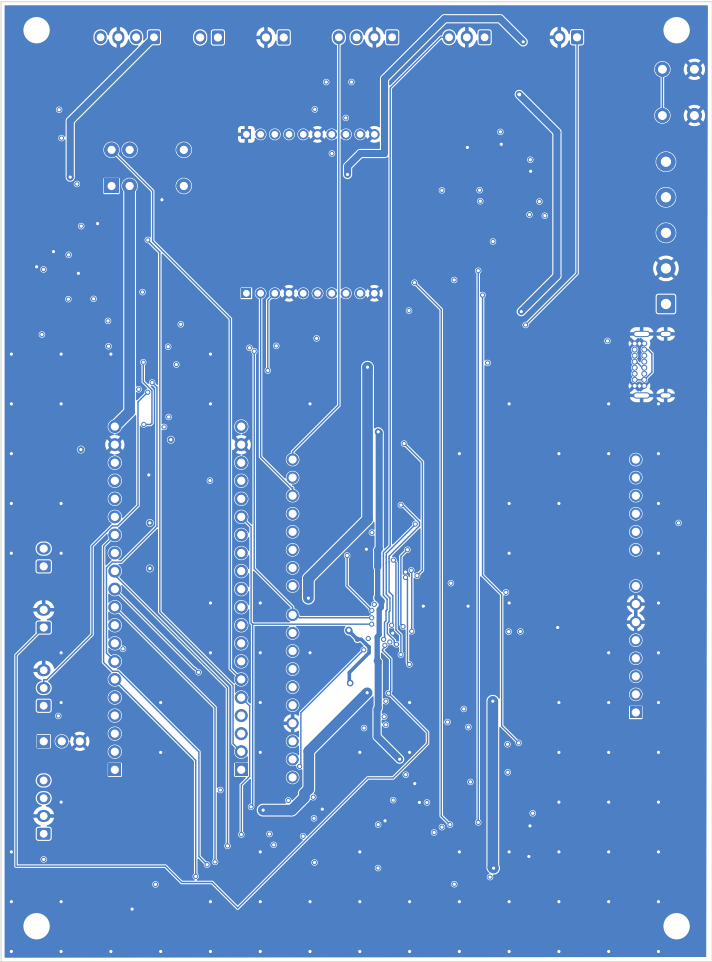
Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v3-PROD.kicad_pcb
Title: EINARBoard HBOX 1.1
Size: A4 | Date: 2026-06-23 | **Rev: 1.1**
KiCad E.D.A. 10.0.4 | Id: 2/4



Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v3-PROD.kicad_pcb

Title: EINARBoard HBOX 1.1

Size: A4	Date: 2026-06-23	**Rev: 1.1**
KiCad E.D.A. 10.0.4		Id: 3/4



Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v3-PROD.kicad_pcb
Title: EINARBoard HBOX 1.1
Size: A4 | Date: 2026-06-23 | **Rev: 1.1**
KiCad E.D.A. 10.0.4 | Id: 4/4

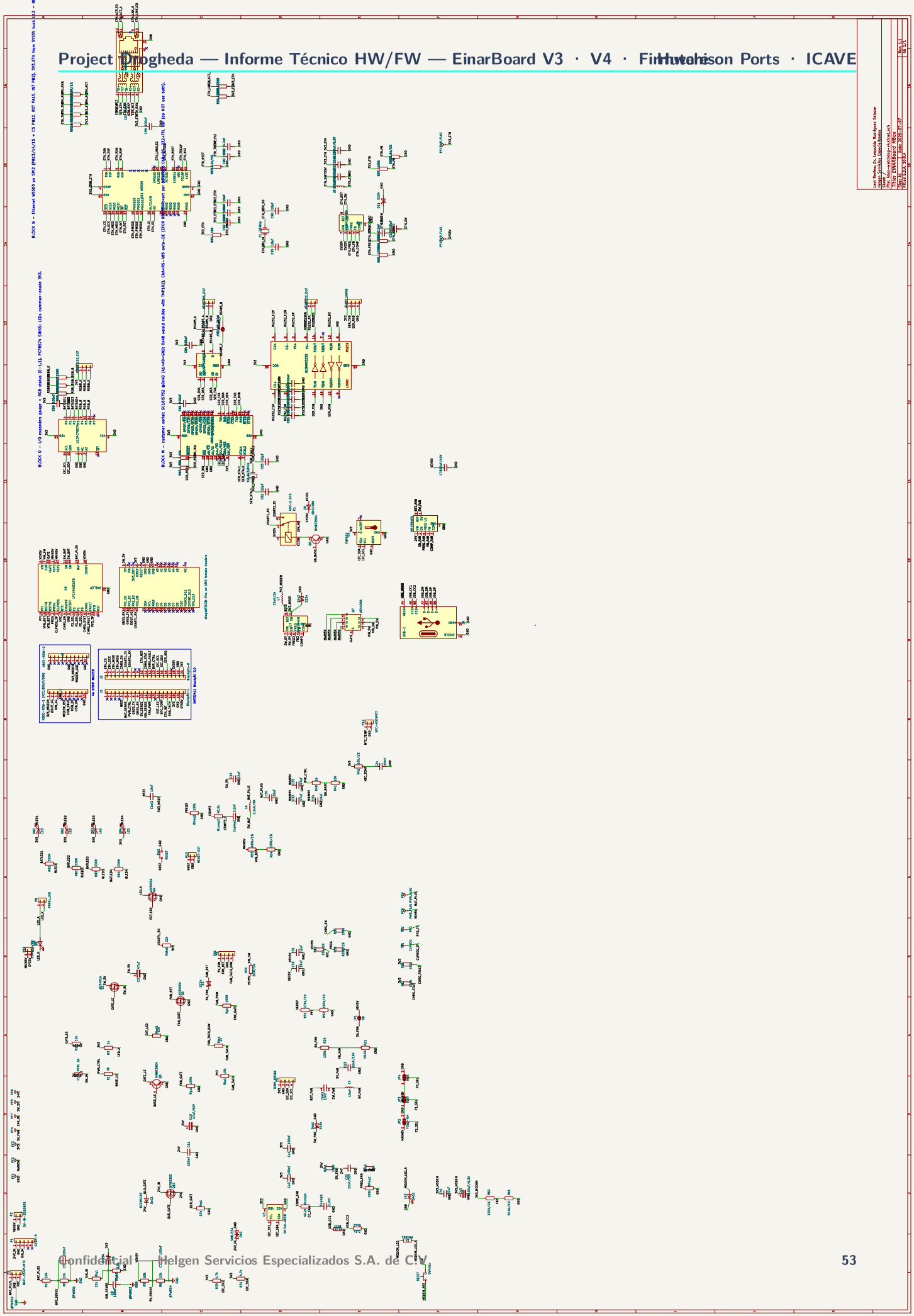
Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v3-PROD.kicad_pcb

Title: EINARBoard HBOX 1.1

Size: A4	Date: 2026-06-23	**Rev: 1.1**
KiCad E.D.A. 10.0.4		Id: 1/1

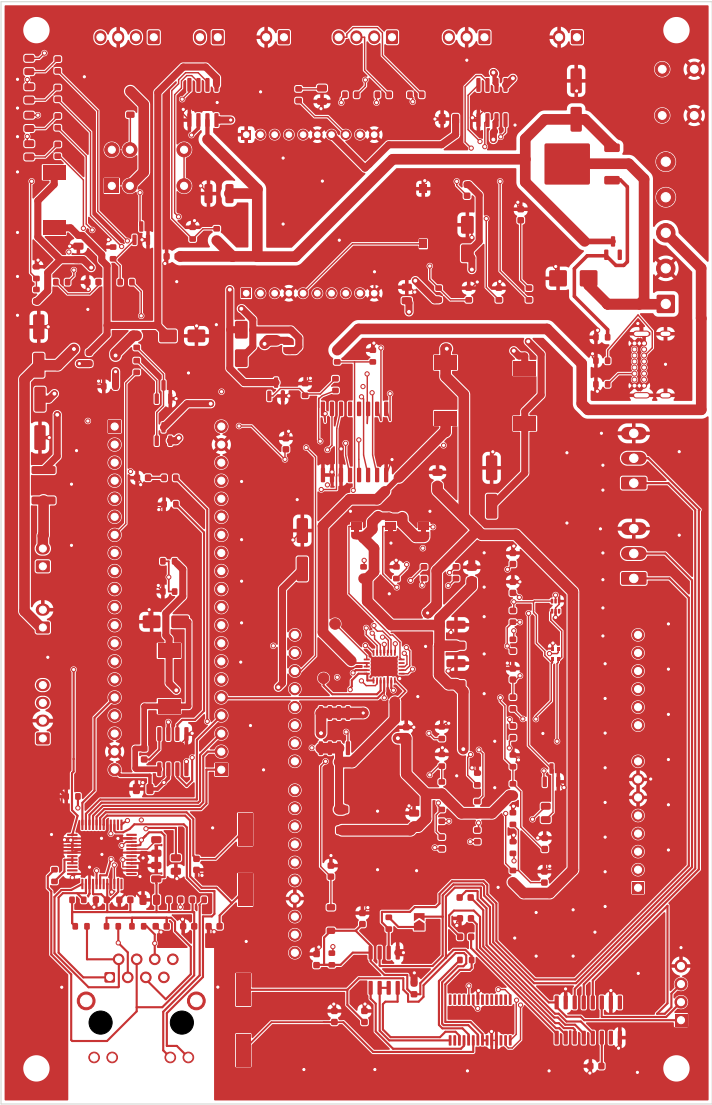
C Esquemático completo V4

Hoja A1 exportada en fresco (2026-08-07) de `hbox-watchdog-v4.kicad_sch` (ERC 0 errores). Los bloques nuevos M (serial), N (Ethernet) y O (expansor/RGB) ocupan el cuadrante derecho; las notas de hoja documentan las decisiones de straps (SC16IS752 @0x4D, PMODE) y las verificaciones pendientes del W5500.

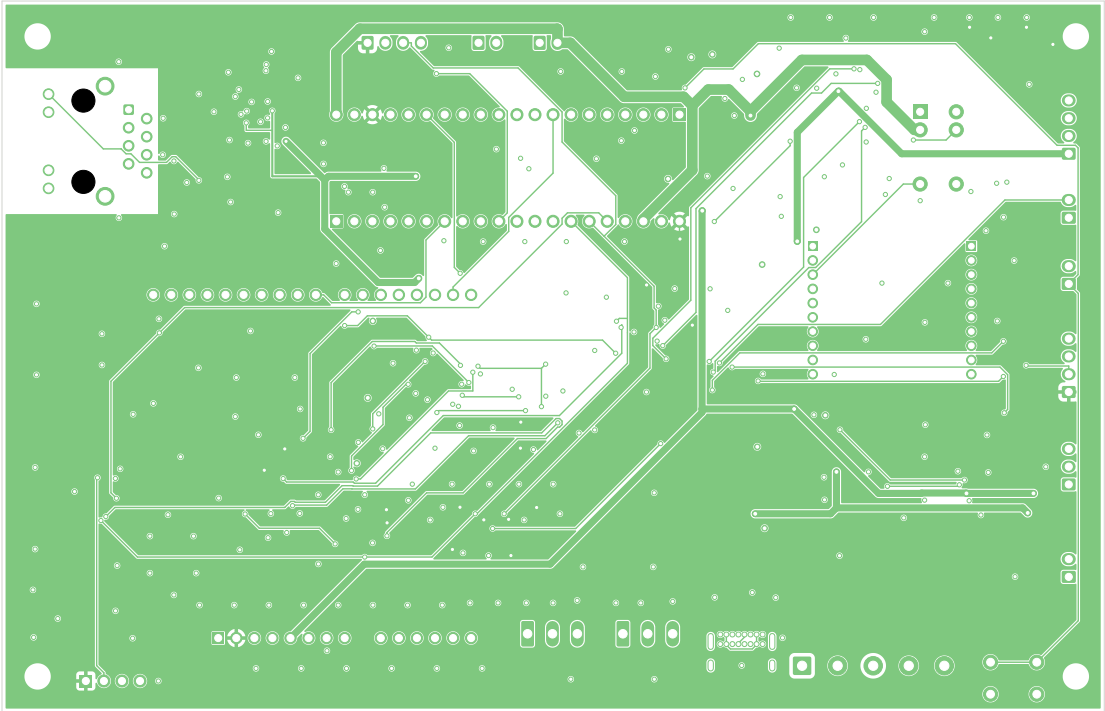


D Capas de cobre y serigrafía V4

Planos por capa de `hbox-watchdog-v4.kicad_pcb` (155×100 mm, 188 huellas) con `Edge.Cuts`; misma convención desde-arriba. Nótese en F.Cu la esquina Ethernet con su zona de magnetismos despejada, y en la serigrafía la fila de etiquetas regenerada de J1/J2 y la marca *EiNARBoard 2.0 / HBOX v4*.



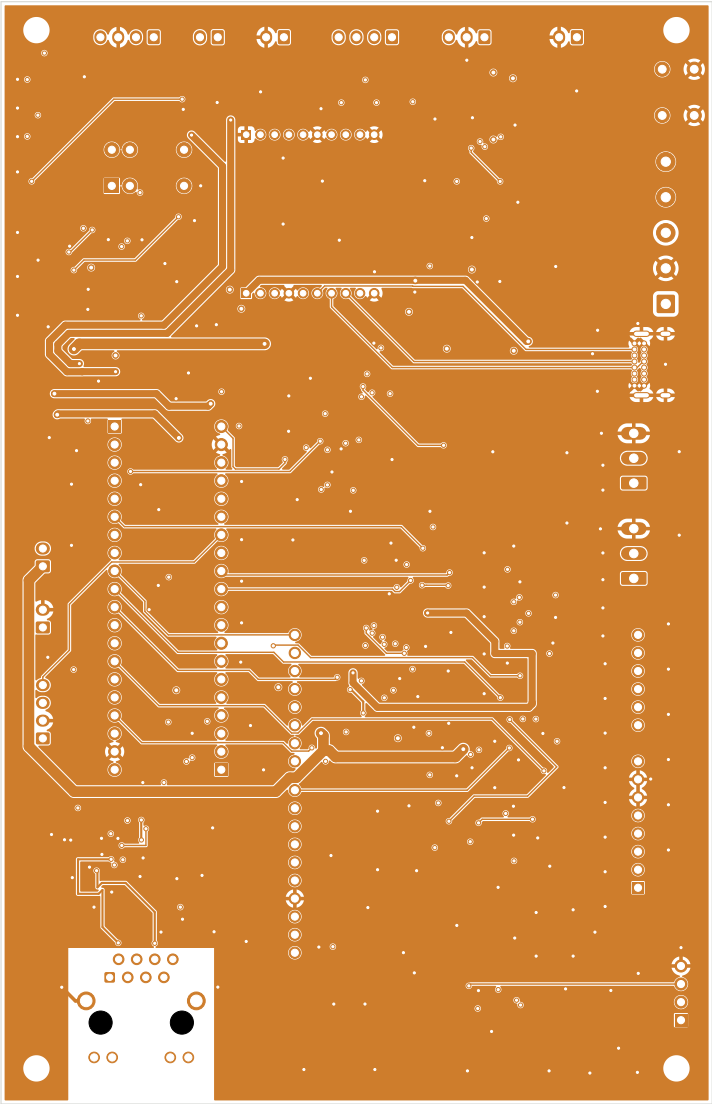
Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v4.kicad_pcb
Title: EINARBoard HBOX
Size: A4 Date: 2026-07-07 **Rev: 2.0**
KiCad E.D.A. 10.0.4 Id: 1/5



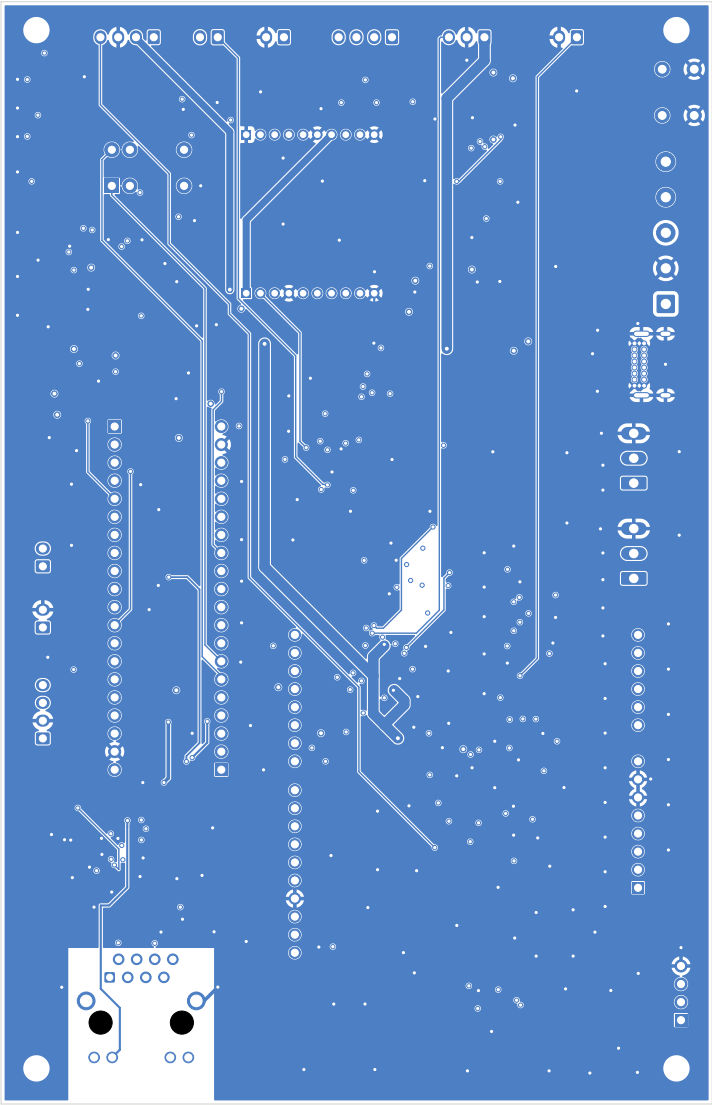
Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v4.kicad_pcb

Title: EINARBoard HBOX

Size: A4	Date: 2026-07-07	**Rev: 2.0**
KiCad E.D.A. 10.0.4		Id: 2/5



Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v4.kicad_pcb
Title: EINARBoard HBOX
Size: A4 | Date: 2026-07-07 | **Rev: 2.0**
KiCad E.D.A. 10.0.4 | Id: 3/5



Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v4.kicad_pcb
Title: EINARBoard HBOX
Size: A4 | Date: 2026-07-07 | **Rev: 2.0**
KiCad E.D.A. 10.0.4 | Id: 4/5

Last Review: Dr. Leopoldo Rodriguez Salazar
Helgen Servicios Especializados
Sheet:
File: hbox-watchdog-v4.kicad_pcb

Title: EINARBoard HBOX

Size: A4	Date: 2026-07-07	**Rev: 2.0**
KiCad E.D.A. 10.0.4		Id: 5/5

E Conectores de arnés pin a pin — nets y designators (netlist)

Referencia de cableado para armado de arneses, diagnóstico con multímetro y retrabajo: para **cada pin** de cada conector de arnés, su net y **todos los designators** que cuelgan de esa net en la tarjeta (formato `REF.pad`, extraído de los netlists de los `.kicad_pcb` el 2026-08-07 — no de documentación previa). `GND` se anota como «plano GND» (In1.Cu; enumerar sus cientos de nodos no aporta). La columna *Lado del arnés* dice qué trae o espera el cable externo. Primero **V3** completo; después los deltas y conectores nuevos de **V4** (§E.3).

E.1 V3 — conectores activos

P1 — Phoenix 5 pos. 5.00 mm (entrada GX16-5).

Pin	Net	A bordo (`REF.pad`)	Lado del arnés / nota
1	`24V_IN`	`D10.1` (TVS SMBJ33A) · `Q10.2` (S del FET antipolaridad)	24 V del gabinete (DDR-60G-24) vía GX16 — calibre de potencia; alimenta *solo* el buck del ventilador
2	`GND`	plano GND	Retorno común del gabinete — **también es el retorno de la ignición**
3	`IGN_IN`	`Rig1.1` (22 k, arranque del divisor)	Ignición **cruda** 12–24 V de la máquina (GX16 pin 3) — jamás 5 V preacondicionados
4–5	—	sin net	Reserva (posiciones del bloque terminal sin uso)

P2 — JST-XH 2 (5 V de vehículo).

Pin	Net	A bordo (`REF.pad`)	Lado del arnés / nota
1	`VEH5V`	`C30.1` · `C31.1` (desacoplo) · `JP1.2` (riel alterno ventilador) · `R51.1` (divisor PFI) · `R55.1` (bias NTC) · `R7.1` (divisor PA4) · `RS1.1` (shunt 8 mΩ) · `U6.6`/`U6.16` (VIN/CLN del LTC4040)	5 V de la SD-15B-05 (ajustar a ∼5.2 V — regla E-PFI). **V4** añade `C78.1` (220 µF bulk)
2	`GND`	plano GND	Retorno de la SD-15B-05

P4 — JST-XH 3 (batería 1S4P + NTC).

Pin	Net	A bordo (`REF.pad`)	Lado del arnés / nota
1	`BAT_PLUS`	`C35.1` (desacoplo BAT) · `L6.2` (inductor SW del LTC4040) · `R5.1` (divisor `BAT_SENSE`) · `U6.23` (pin BAT)	Positivo del paquete 1S4P (∼12 Ah, 3.6 V nom.) — calibre para 2.42 A de carga / picos de respaldo
2	`GND`	plano GND	Negativo del paquete
3	`NTC`	`R55.2` (bias 10 k desde `VEH5V`) · `U6.17` (pin NTC del cargador)	Termistor 10 k **pegado a la celda** — lo posee el cargador: la carga queda cualificada por temperatura aunque el MCU muera

P5 — JST-XH 4 (sonda I²C externa).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	3V3	Cu3.1 · Cu4.1 · D5.1 · J1.18 · J2.20 · MOD1.2 (IOREF) · R3.1 · R30.1 · R31.1 (pulls I²C) · R42.1 · R57.1 · R58.1 · Rdfu1.2 · Rtp1.1 · U3.3 · U4.5	Alimenta la sonda desde el LDO del Blackpill — cargas pequeñas solamente
2	GND	plano GND	
3	I2C_SDA	J2.15 (PB7) · R31.2 · U3.1 (SHT40) · U4.6 (TMP102)	Es el **mismo bus** de los sensores: el dispositivo externo no debe chocar con 0x44/0x48 (**V4**: tampoco 0x20/0x4D)
4	I2C_SCL	J2.14 (PB6) · R30.2 · U3.2 · U4.1	Pull-ups 4.7 k ya a bordo — no duplicar en la sonda

P6 — JST-XH 4 (ventilador).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	5V_FAN	C23.1 (salida buck) · D2.1 (flyback) · JP1.1 · L2.2 (inductor U2) · R20.1 (FB)	+ **del ventilador** (riel dedicado 24→5 V — su inrush jamás toca MAIN5V)
2	FAN_RET	D2.2 (flyback) · Q2.3 (drain, lado bajo PWM)	**El negativo del ventilador va AQUÍ, no a GND** — es el retorno conmutado por PA6 a 25 kHz
3	GND	plano GND	Solo para ventiladores de 3 hilos (referencia del tach)
4	FAN_TACH_RAW	Rts1.1 (serie hacia PB10)	Tach — **provisión DNP**: pull-up no montado; los ventiladores de flota son de 2 hilos (pines 3–4 quedan al aire)

P8 — JST-XH 2 (LED de panel).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	LED_A	D1.2 (ánodo del LED a bordo) · R3.2 (1 k desde 3V3)	**Ánodo** del LED externo — la corriente ya viene limitada por R3
2	LED_K	D1.1 (cátodo a bordo) · Q4.3 (drain — hunde con PB0)	**Cátodo** del LED externo; polaridad invertida = LED externo muerto (el D1 de a bordo sigue, síntoma clásico)

P10 — JST-XH 2 (reset externo).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	NRST	J1.5 (NRST del módulo) · SW1.1 (botón a bordo)	Botón externo momentáneo a GND (paralelo a SW1) — dispara la auto-prueba (reset PIN)
2	GND	plano GND	

P11 — JST-XH 2 (corte de energía).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	MAIN5V	C32.1 · C33.1 · C34.1 (retención VSYS) · JP2.1 · JP3.3 · JP4.1 (straps F) · Q7.5–8 (D del FET de paso) · R53.1 (FB respaldo) · U6.1/U6.24 (VSYS)	**Entra** el riel respaldado
2	SYS5V	D6.1 (flyback K1) · F1.1 (PPTC) · J1.20 · J2.18 (5 V del Blackpill) · K1.2 (bobina) · R2.2	**Sale** hacia todo el sistema. Switch SPST del panel *o* **puente instalado — P11 abierto = tarjeta muerta**. **V4** añade C101.1 · U12.2/U12.7 (buck 3V3_ETH)

P12 — JST-XH 2 (NTC de punto caliente).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	NTC_TEMP	C24.1 (filtro ADC) · J1.15 (PB1) · R42.2 (10 k 1 % desde 3V3)	Termistor 10 k (B≈3950) colocado en el punto caliente (batería/módem) — canal del corte de carga v3.0
2	GND	plano GND	

E.2 V3 — conectores DNP (solo posiciones; eliminados en V4)

Pin	Net	A bordo (REF.pad)	Nota
P3.1	SW_5V	C3.1 · C40.1 · MOD1.5 · Q1.3 · U7.2/U7.7	P3 = alternativa de arnés al UART1 del Pro — obsoleta por el zócalo MOD1; **no montar**
P3.2	GND	plano GND	
P3.3	GNSS_TX	J1.8 (PA2) · MOD1.16 (D1)	
P3.4	GNSS_RX	J1.9 (PA3) · MOD1.15 (D0)	
P13.1	USART1_RX	H3.2 · J2.7 (PA10) · K1.1 (NC) · MOD1.23 (D8/TX2) · Rdfu1.1	P13 = alternativa de arnés del uplink Modo B — obsoleta por K1 a bordo; **no**
P13.2	DIN_4G	J7.3 (DIN módem) · K1.5/K1.6 (COM)	
P13.3	GND	plano GND	

E.3 V4 — deltas en conectores heredados y conectores nuevos

Los nueve conectores activos de V3 conservan **tipo, posición de pin y net**; los únicos cambios de membresía de net (ya anotados arriba) son: **P2.1** suma C78.1 (bulk E-PFI); **P11.2** suma C101.1 + U12.2/U12.7 (alimentación del buck Ethernet); **P5.3/P5.4** suman U10.14/U10.13 (SC16IS752) y U13.15/U13.14 (PCF8574) — el bus I²C ahora carga 4 dispositivos; y **P5.1** (3V3) crece con los ánodos comunes DB1.2–DB4.2 del medidor re-cableado, H4.1, P14.1, los pulls R80.1/R81.1 y desacoplos C80/81/84/89, y los VCC de U10.8/U10.9, U13.16, U14.8, U15.16. P3, P13 y H3 **ya no existen**.

P14 — JST-XH 4 (LED RGB externo, común-ánodo).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	3V3	(net completa arriba — P5.1)	**Ánodo común** del RGB del gabinete
2	RGBR_K	R89.1 (330 Ω ← U13 P4)	Cátodo **rojo** — el PCF8574 hunde (activo bajo)
3	RGBG_K	R90.1 (← U13 P5)	Cátodo **verde**
4	RGBB_K	R91.1 (← U13 P6)	Cátodo **azul**. Un solo barreno en la caja; mapa de colores en §7.5

P15 — Phoenix MC 3 pos. 3.5 mm (RS-485 de cliente).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	RS485_A	U14.6 (A del SP3485) · R82.1 (terminación)	Línea **A** (no invertida) del par semidúplex — par trenzado con B
2	RS485_B	U14.7 (B) · JP5.2	Línea **B** (invertida). **Terminación 120 Ω**: cerrar JP5 *solo* si esta unidad es el extremo del bus (DNP/abierto de fábrica)
3	GND	plano GND	Referencia común del bus (tercer hilo — recomendado siempre)

P16 — Phoenix MC 3 pos. 3.5 mm (RS-232 de cliente).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	RS232_TX	U15.14 (T1OUT del MAX3232)	**Sale** de la tarjeta (niveles RS-232 reales, ±5.5 V) → al **RX** del equipo cliente
2	RS232_RX	U15.13 (R1IN)	**Entra** a la tarjeta ← del TX del cliente
3	GND	plano GND	

H4 — header 1×4 2.54 mm (TTL del canal B).

Pin	Net	A bordo (REF.pad)	Lado del arnés / nota
1	3V3	(net completa arriba — P5.1)	Referencia/alimentación ligera del adaptador
2	SER_TXB	U10.23 (TXB) · U15.11 (T1IN)	TX TTL 3.3 V del canal B
3	SER_RXB	U10.24 (RXB) · U15.12 (R1OUT)	RX TTL 3.3 V
4	GND	plano GND	**Mismo canal que P16 — no usar RS-232 y TTL a la vez**

F BOM V3 — resumen de dispositivos activos y partes críticas

Fuente completa: `kicad/production/HBOX_v3_PROD_bom.csv` (fab) y el workbook `helgen_einarboard_1.0_production_bom.xlsx` (fuente de verdad con costos; se sincroniza al manual vía `tools/sync_bom.py`). Selección de líneas que definen la tarjeta:

Ref	Parte	Paquete	LCSC	Rol
U6	LTC4040EUFD	QFN-24 4×5	C687163	gestor de respaldo (Bloque B)
U2 · U7	MP1584EN ×2	SOIC-8-EP	C15051	bucks ventilador / módem
U3	SHT40-AD1B	DFN-4	C2848306	T+HR de aire (0x44)
U4	TMP102	SOT-563	C99269	sonda batería/módem (0x48)
Q1	AO3401A	SOT-23	C15127	P-FET interruptor del stack
Q2 · Q4	AO3400A ×2	SOT-23	C20917	lado bajo ventilador / LED
Q5 · Q6	MMBT3904 ×2	SOT-23	C20526	drivers (mapa BEC — H2)
Q7	AO4406A	SOIC-8	C35349	FET de paso VIN→VSYS (H1)
Q10	IRFR5305	TO-252	C2624	antipolaridad 24 V
K1	Omron G5V-1 5 VDC	—	C28695	relevador NC Modo B
D10	SMBJ33A	SMB	C224019	TVS de entrada 24 V
RS1	8 mΩ 1 %	1206	C7420012	sensado de corriente de entrada
L2 · L6 · L7	10 µH · 2.2 µH/8 A · 10 µH/2 A	SRU8028	C17700171/65	bucks + boost del LTC4040
F1	PPTC 3 A	1812	C20627123	protección del stack
J9	USB-C GCT USB4085	16 p	C7095263	puerto de servicio del módem
J1 · J2	PinSocket 1×20 2.54	—	C50984	zócalos Blackpill (soldar con módulo-escantillón)
R50 · R51 · R53	825 Ω · 287 k · 499 k 1 %	0603	—	programación LTC4040 (V4: R51→270 k)

G BOM V4 — delta contra V3

Fuente completa: `kicad/production/HBOX_v4_PROD_bom.csv` (101 líneas agrupadas). **Altas** (todas verificadas en netlist):

Ref	Parte	Paquete	LCSC	Rol
U10	SC16IS752IPW	TSSOP-28	C57156	UART dual I²C @0x4D (Bloque M)
U11	W5500	LQFP-48	C32843	TCP/IP por hardware (Bloque N)
U12	MP1584EN (3.º)	SOIC-8-EP	C15051	buck `3V3_ETH` desde `SYS5V`
U13	PCF8574	SOIC-16W	C7605	expansor medidor+RGB @0x20 (Bloque O)
U14	SP3485EN	SOIC-8	C8963	transceptor RS-485 (auto-DE)
U15	MAX3232	SOIC-16	C15846	niveles RS-232 (canal B)
J10	MagJack HR911105A	RJ45	C12074	Ethernet con magnetismos + LEDs
Y1 · Y2	25 MHz · 1.8432 MHz	HC49-SD	—	cristales W5500 / SC16IS752
L8 · D11	10 µH · SS34	SRU8028 · SMA	—	buck U12
P14 · P15 · P16 · H4 · J	JST-XH4 · Phoenix 3.5×2 · header · puente	—	—	RGB · RS-485 · RS-232 · TTL · terminación
C78	220 µF/10 V elco	6.3×7.7	—	amortiguamiento `VEH5V` (E-PFI)
R82 · R83	120 Ω · 12.4 k 1 %	0603	—	terminación RS-485 · RSET W5500
R92–R95 · C97	49.9 Ω ×4 · 6.8 nF	0603	—	terminación Bob-Smith del MagJack
C82/83 · C95/96	22 pF · 18 pF	0603	—	cargas de cristal Y2 · Y1
R84–R91, R96/97, C80–C103…	pulls 10 k/100 k, 330 Ω, desacoplos	0603/0805	—	soporte M/N/O (26 capacitores, 18 resistencias)

Cambios de valor: R51 287 k → **270 k 1 %** (PFI 4.40 V — E-PFI) · `Rigb1` 10 k → **3.3 k** (divisor de ignición — ver O-1). **Bajas**: P3, P13, H3 (eliminados, ya ni DNP) · MH1/MH3 (sustituidos por MH5/MH6 en las nuevas esquinas del contorno de 155 mm). **Sin cambio**: todo el resto de los bloques A–K conserva referencias y valores de V3 (incluidos los tres módulos, que nunca aparecen en el BOM de JLC — se instalan en Helgen).

H Glosario mínimo

Término	Significado en este proyecto
EPCT	*EinarBoard Position, Communications & Telemetry Module* — el subsistema posición+comunicaciones+telemetría (F9P · K1/Modo B · módem 4G · `$PHLG`; en V4 + Ethernet/serial), §4
NMEA 0183	Protocolo ASCII de sentencias `$...*hh` (posicional, checksum XOR) — el idioma del uplink; `$P…` = sentencias propietarias como `$PHLG`
RTK / SPS	Cinemática en tiempo real (GGA quality 4=fijo, 5=flotante) / posicionamiento estándar (quality 1). Salud $\geq$4
NTRIP	Transporte de correcciones RTCM3 sobre internet — aquí, por el módem 4G (o Ethernet en v3.2)
Modo B	Watchdog en línea en el uplink NMEA (inyección `$PHLG`) con bypass NC de K1; downlink RTCM3 siempre directo
`$PHLG`	Sentencia propietaria Helgen de salud de unidad, formato NMEA con checksum XOR
LIMP	Modo degradado latcheado: seguir reportando GPS autónomo, reintentos cada 30 min
PFI	*Power-Fail Input* del LTC4040 — umbral que decide conmutar a respaldo
E-J1 · E-CLR · E-PFI	Las tres erratas de V3 (§6)
Y4 · Y5	Lotes de fabricación JLCPCB de V3 (jul-2026) y V4 (ago-2026)

Helgen Technologies — preciso, a prueba de fallos primero.
Estado eléctrico canónico: `watchdog-electrical-design-state.md` · Brief **V4**: `2026-07-24_…EinarBoard-1.1_Design-Brief_v1.0.md` · Firmware: `hbox-firmware`